

디지털 공학 (7급)

(과목코드 : 032)

2026년 군무원 채용시험

응시번호 :

성명 :

1. 2번째로 큰 값으로 적절한 것은?

- ① 110100_2
- ② 50_{10}
- ③ 57_8
- ④ $2F_{16}$

2. 디지털 펄스(Pulse) 신호에 대한 설명으로 가장 적절하지 않은 것은?

- ① 상승시간(Rise Time)이나 하강시간(Fall Time)이 짧을수록 고속회로에 부적합하다.
- ② 하강시간(Fall Time)은 펄스 진폭 최대치의 90%에서 10% 수준으로 떨어지는 데 걸리는 시간이다.
- ③ 상승시간(Rise Time)은 펄스 진폭 최대치의 10%에서 90% 수준으로 올라가는 데 걸리는 시간이다.
- ④ 펄스폭(Pulse Width)은 펄스 진폭 최대치의 50%가 되는 두 지점 사이의 시간 간격을 말한다.

3. SMT(Surface Mount Technology)형 소자와 THT(Through Hole Technology)형 소자의 특징에 대한 설명으로 가장 적절한 것은?

- ① SMT형 소자는 THT형 소자보다 일반적으로 크기가 크다.
- ② SMT형 소자는 THT형 소자보다 PCB 양면 실장이 수월하여 공간 효율이 비교적 높다.
- ③ BGA(Ball Grid Array)는 THT형 패키지 종류이고 PGA(Pin Grid Array)는 SMT형 패키지 종류이다.
- ④ SMT형 소자는 기생용량이 커서 고속 신호 처리에 THT형 소자보다 불리하다.

4. 10진수 5_{10} 를 가중치 코드와 비가중치 코드로 나타낸 것 중에서 가장 적절하지 않은 것은?

- ① $(0101)_{BCD_code}$
- ② $(1000)_{3초과_code}$
- ③ $(1011)_{2421_code}$
- ④ $(0110)_{gray_code}$

5. 아래의 카운터들을 구성하는 데 동일한 플립-플롭들이 사용되며, 그들의 전파지연시간이 $t_{PLH} = t_{PHL} = 20 [ns]$ 라고 가정한다. 각 카운터가 하나의 입력 펄스를 받아서 카운터 상태값을 완전히 결정할 때까지 걸리는 시간으로 가장 적절한 것은?

- | |
|------------------|
| (ㄱ) 4-비트 리플 카운터 |
| (ㄴ) 4-비트 동기식 카운터 |

- | | |
|----------------|--------------|
| ① (ㄱ): 80 [ns] | (ㄴ): 20 [ns] |
| ② (ㄱ): 40 [ns] | (ㄴ): 20 [ns] |
| ③ (ㄱ): 40 [ns] | (ㄴ): 40 [ns] |
| ④ (ㄱ): 80 [ns] | (ㄴ): 40 [ns] |

6. 6진수 435_6 의 6의 보수로 옳은 것은?

- ① 120_6
- ② 121_6
- ③ 122_6
- ④ 123_6

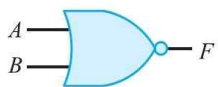
7. 부울(Boole) 대수 법칙 중 가장 적절하지 않은 것은?

- ① $AB + BC + \overline{A}C = AB + \overline{A}C$
- ② $\overline{ABCD} = \overline{A} + \overline{B} + \overline{C} + \overline{D}$
- ③ $A + AB + ABC = 1$
- ④ $A + BC = (A + B)(A + C)$

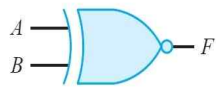
8. 주어진 진리표에 따라 동작하는 논리게이트로 가장 적절한 것은?

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

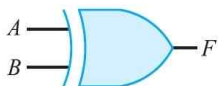
①



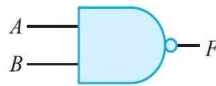
②



③



④



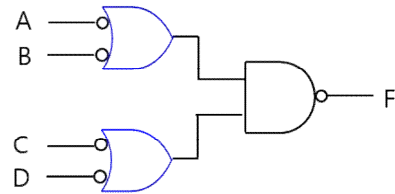
9. 다음 함수를 최소로 간략화한 것으로 가장 적절한 것은?
(단, m은 최소항을 의미한다)

$$F(A, B, C, D) = \sum m(0, 2, 8, 10)$$

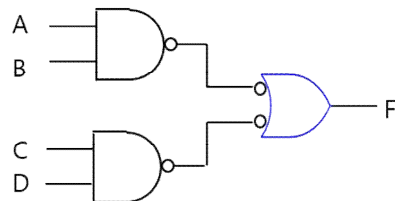
- ① $F(A, B, C, D) = \overline{B}\overline{D}$
- ② $F(A, B, C, D) = \overline{B}C$
- ③ $F(A, B, C, D) = A\overline{B}$
- ④ $F(A, B, C, D) = BD$

10. 다음 논리식 $F = \overline{(\overline{A+B}) \cdot (\overline{C+D})}$ 을 논리게이트로 표현한 것 중에서 결과(F)가 가장 적절하지 않은 것은?

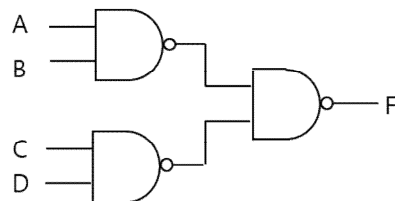
①



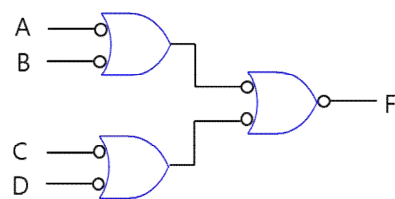
②



③



④



11. 8진수 234_8 를 16진수로 변환할 때 옳은 것은?

- ① $09A_{16}$
- ② $09B_{16}$
- ③ $09C_{16}$
- ④ $09D_{16}$

12. 8-비트 시프트 레지스터에서 시프트 동작이 수행될 때 외부로부터 들어오는 입력 값은 '0'이라 가정한다. 초기에 레지스터에 저장되어 있는 값이 '10111011₂' 이라고 할 때, 아래의 동작이 수행된 후에 레지스터의 내용은 어떤 값으로 변경되는가? (단, 각 시프트 동작은 원래의 값에 대하여 수행되는 것으로 한다)

(┐) 우측 시프트
(└) 좌측 시프트

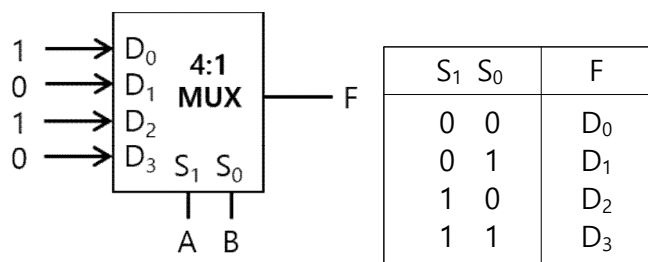
- ① (┐): 01011101₂ (└): 01110110₂
 ② (┐): 01010101₂ (└): 01010110₂
 ③ (┐): 01011001₂ (└): 01100110₂
 ④ (┐): 01001101₂ (└): 00110110₂

13. 부울(Boole) 대수의 규칙과 법칙을 이용하여 아래의 부울(Boole) 함수를 간략화 한 것 중 가장 적절한 것은?

$$F = xy + x(y + z) + y(y + z)$$

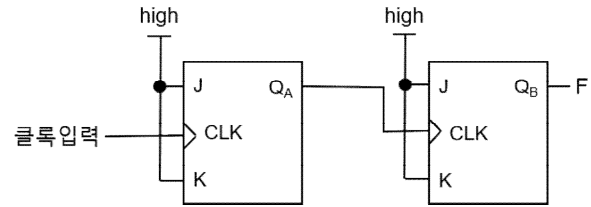
- ① $x + y + z$
 ② $x + yz$
 ③ $y + xz$
 ④ $xy + z$

14. 다음의 4:1 멀티플렉서(Multiplexer) 소자를 이용하여 구성된 회로의 출력(F)에 대한 논리식으로 가장 적절한 것은? (단, 주어진 표는 4:1 멀티플렉서의 진리표이다)



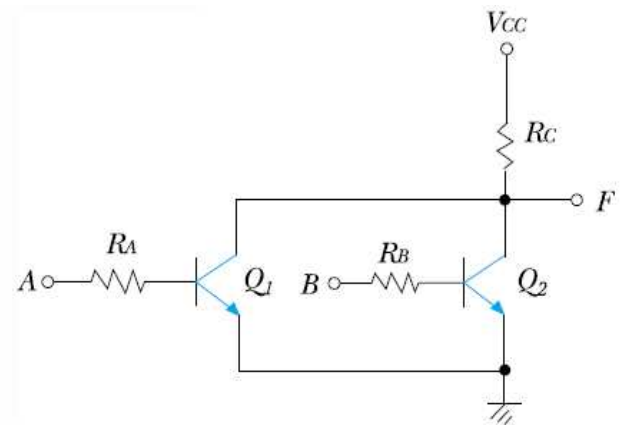
- ① $F = A$
 ② $F = \overline{A}$
 ③ $F = B$
 ④ $F = \overline{B}$

15. 다음의 주어진 회로에서 클록 입력이 인가될 때 플립-플롭들의 출력에 대한 설명으로 가장 적절하지 않은 것은? (단, 모든 플립-플롭의 출력 Q_A, Q_B은 0으로 초기화되어 있고, 지연시간들은 무시한다)



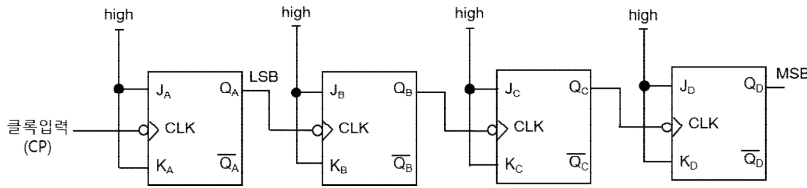
- ① 플립-플롭 출력 Q_A의 주파수는 클록입력 주파수의 $\frac{1}{2}$ 이다.
 ② 플립-플롭 출력 Q_B의 주파수는 클록입력 주파수의 $\frac{1}{4}$ 이다.
 ③ 플립-플롭 출력 Q_B의 주파수는 플립-플롭 출력 Q_A의 2배이다.
 ④ 모든 플립-플롭들의 출력은 클록입력의 상승 모서리에서만 변한다.

16. 아래 그림에 대한 설명으로 가장 적절하지 않은 것은?



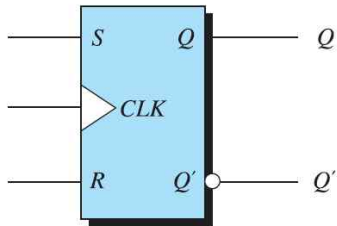
- ① $A = 0[V]$, $B = 0[V]$ 인 경우 $F = 0[V]$
 ② $A = 0[V]$, $B = 5[V]$ 인 경우 $F = 0[V]$
 ③ $A = 5[V]$, $B = 0[V]$ 인 경우 $F = 0[V]$
 ④ $A = 5[V]$, $B = 5[V]$ 인 경우 $F = 0[V]$

17. 다음의 순차 논리회로에 대한 설명으로 가장 적절한 것은? (단, 플립-플롭 출력의 초기값은 $Q_D Q_C Q_B Q_A = 0000$ 이고, 모든 소자의 지연시간은 고려하지 않는다)



- ① Q_D 를 최상위 비트(MSB), Q_A 를 최하위 비트(LSB)로 했을 시 16진(Mod-16) 비동기식 하강 카운터이다.
- ② Q_D 를 최상위 비트(MSB), Q_A 를 최하위 비트(LSB)로 했을 시 16진(Mod-16) 비동기식 상승 카운터이다.
- ③ Q_D 를 최상위 비트(MSB), Q_A 를 최하위 비트(LSB)로 했을 시 16진(Mod-16) 동기식 하강 카운터이다.
- ④ Q_D 를 최상위 비트(MSB), Q_A 를 최하위 비트(LSB)로 했을 시 16진(Mod-16) 동기식 상승 카운터이다.

18. SR 플립-플롭의 상태(Q)가 1일 때 클록(CLK)의 에지에서 입력이 $S = 1$, $R = 0$ 이라면, 상태는 어떤 값으로 결정되는 것이 가장 적절한가?



- ① $Q = 0$, $Q' = 0$
- ② $Q = 0$, $Q' = 1$
- ③ $Q = 1$, $Q' = 1$
- ④ $Q = 1$, $Q' = 0$

19. 2진수 100101011_2 를 그레이 코드로 변환하는 경우 가장 적절한 것은?

- ① 100101111_2
- ② 110101010_2
- ③ 110111110_2
- ④ 100101110_2

20. 조합회로의 분석 절차로 가장 적절하지 않은 것은?

- ① 회로의 각 게이트 출력에 임시 변수를 할당한다.
- ② 입력 변수들을 이용하여 각 게이트 출력에 대한 부울(Boole) 함수를 구한다.
- ③ 부울(Boole) 함수를 구할 때 최종 입력 변수를 사용한다.
- ④ 임시로 할당된 변수들에 대한 표현을 단계적으로 입력 변수들로 대체한다.

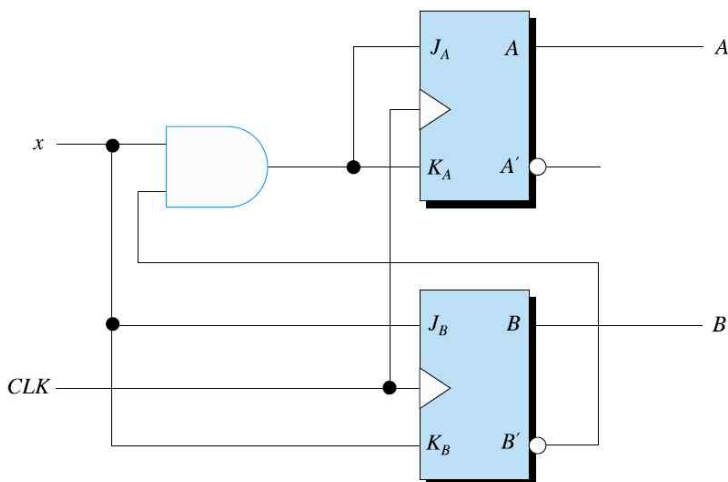
21. 여러 가지 메모리 소자들에서 속도(Access Time)가 빠른 순으로 나타낸 것 중 가장 적절한 것은?

- ① Static RAM > Dynamic RAM > Synchronous DRAM > Flash memory
- ② Synchronous DRAM > Static RAM > Dynamic RAM > Flash memory
- ③ Flash memory > Static RAM > Synchronous DRAM > Dynamic RAM
- ④ Static RAM > Synchronous DRAM > Dynamic RAM > Flash memory

22. 세 개의 변수들 A, B, C로 표현되는 시스템에 대한 부울(Boole) 함수 $F(A, B, C) = \bar{A} + BC$ 를 정규형 SOP 표현으로 변환한 것 중 가장 적절한 것은?

- ① $F = \bar{A}BC + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + ABC$
- ② $F = \bar{A}\bar{B}\bar{C} + \bar{A}BC + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + \bar{A}BC$
- ③ $F = \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + ABC$
- ④ $F = \bar{A}BC + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}\bar{C} + ABC$

23. 아래 그림과 같이 구성된 회로에 입력 단자 x 로 '01011011₂'이 연속적으로 들어오는 경우에 클록 (CLK) 신호의 상승 에지에서 발생하는 JK 플립-플롭의 상태변화로 가장 적절하지 않은 것은? (단, A와 B의 초기값은 각각 '1'이라고 가정한다)



- ① 첫번째 클록 에지(입력신호 = 0)인 경우, 회로의 플립-플롭 입력들이 모두 0이 된다.
- ② 두번째 클록 에지(입력신호 = 1)인 경우, $B' = 0$ 이므로, $J_A = K_A = 0$ 이 되어 상태 A는 그대로 유지된다.
- ③ 세번째 클록 에지(입력신호 = 0)인 경우, $x = 0$ 이므로 플립-플롭 입력들이 모두 0이 된다.
- ④ 네번째 클록 에지(입력신호 = 1)인 경우, $B' = 1$ 이므로, $J_A = K_A = 1$ 이 되어 위의 플립-플롭이 토글되어 상태 $A = 1$ 이 된다.

24. 동기식 카운터의 특징으로 가장 적절하지 않은 것은?

- ① 플립-플롭들은 트리거 조건이 만족될 때 입력 펄스가 들어오면 동시에 응답한다.
- ② 동작 지연이 대폭 증가한다.
- ③ 카운트 될 입력 펄스가 플립-플롭들의 클록 입력으로 인가된다.
- ④ 하나의 공동 클록을 모든 플립-플롭들로 동시에 인가하여 플립-플롭들의 동작 시간을 일치시킨다.

25. PLD와 FPGA에 대한 설명으로 가장 적절하지 않은 것은?

- ① PROM(Programmable Read-only Memory)에서 입력 신호들이 인가되는 AND 배열은 연결 상태가 고정되어 있고, 출력을 발생하는 OR 배열은 프로그래밍 할 수 있도록 구성된다.
- ② FPGA(Field Programmable Gate Array)는 PAL이나 PLA를 사용하지 않으며, CPLD 보다 밀도가 높다.
- ③ PAL(Programmable Array Logic)에서 입력 신호들이 인가되는 OR 배열은 프로그래밍이 가능하고, 출력을 발생하는 AND 배열은 연결 상태가 고정되어 있다.
- ④ PLA(Programmable Logic Array)는 입력 신호들이 인가되는 AND 배열과 출력을 발생하는 OR 배열 모두가 프로그래밍 할 수 있도록 구성된다.