

전자회로(7급)

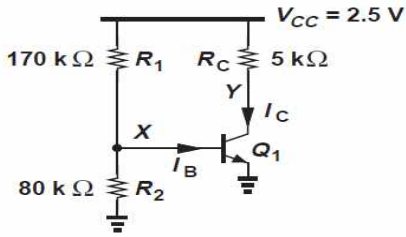
(과목코드 : 093)

2023년 군무원 채용시험

응시번호 :

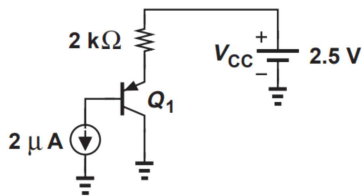
성명 :

1. 다음의 트랜지스터에서 전류이득(current gain) β 는 100이라고 한다. 베이스 전류 I_B 가 $1[\mu A]$ 라고 하면 Y노드의 전압은?



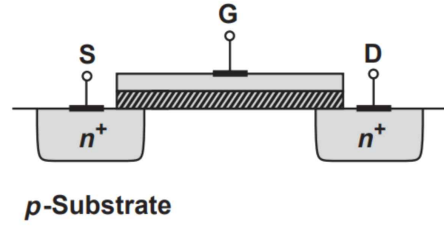
- ① 2.0[V]
- ② 1.8[V]
- ③ 1.5[V]
- ④ 1.0[V]

2. 다음의 회로에서 트랜지스터의 전류이득(current gain) β 는 100으로 가정하며, $2[k\Omega]$ 의 저항과 $2[\mu A]$ 의 전류원이 연결되었다고 가정한다. 베이스의 전압으로 올바른 것은?



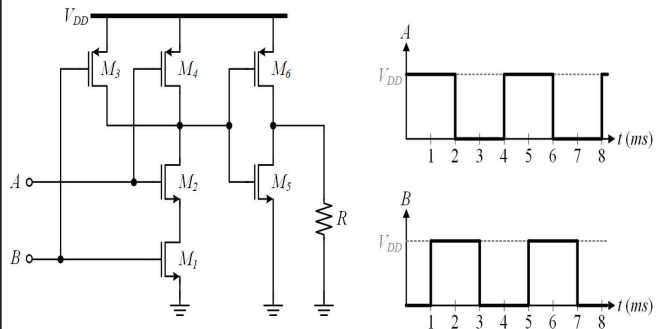
- ① 0.8[V]
- ② 1.4[V]
- ③ 2.0[V]
- ④ 2.1[V]

3. 다음의 트랜지스터 구조에 대한 설명으로 가장 옳지 않은 것은?



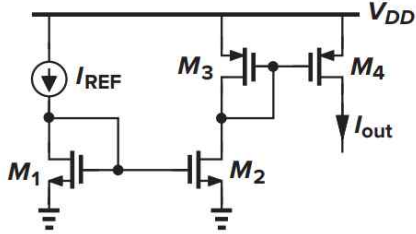
- ① 일반적인 NMOS 트랜지스터 구조이다.
- ② 게이트와 p-Substrate 사이에는 전류가 흐르지 못하도록 SiO_2 가 존재한다.
- ③ p-Substrate를 V_{DD} 에 연결해서 바디효과(body effect)를 방지하게 된다.
- ④ 게이트와 소스 사이의 전압이 높아지면 채널이 형성되며 전류가 흐를수 있는 조건이 만들어 진다.

4. 다음의 회로에 두 주기 신호 A와 B가 인가되고 있다. 전원 전압 V_{DD} 가 3V이고, 부하저항 R이 $1k\Omega$ 일 때, $0 < t < 8ms$ 동안 회로에서 소비되는 평균 전력은 얼마인가? (단, 트랜지스터의 온저항은 부하저항에 비해 매우 작으며, 기생커패시턴스는 무시한다.)

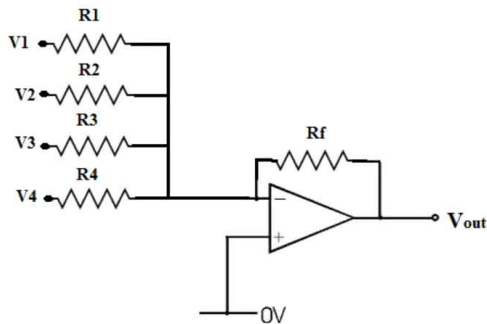


- ① 5.00[mW]
- ② 7.75[mW]
- ③ 10.0[mW]
- ④ 2.25[mW]

5. 다음의 회로에서 I_{out} 전류의 값으로 올바른 것은? (단, 바이어스 전류인 I_{REF} 는 1mA이고, M_1 의 W/L 비율은 1, M_2 의 W/L 비율은 2, M_3 의 W/L 비율은 4, M_4 의 W/L 비율은 4로 설계되었다고 가정한다.)

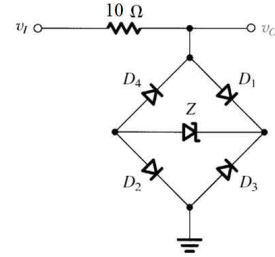


- ① 0.5[mA]
 ② 2[mA]
 ③ 4[mA]
 ④ 8[mA]
6. 다음의 회로에서 R_1, R_2, R_3, R_4 저항은 모두 10[kΩ]이고, R_f 저항도 10[kΩ]으로 설계되었다. V_1, V_2, V_3, V_4 가 모두 0.1[V] 라고 할 때 V_{out} 전압으로 올바른 것은?

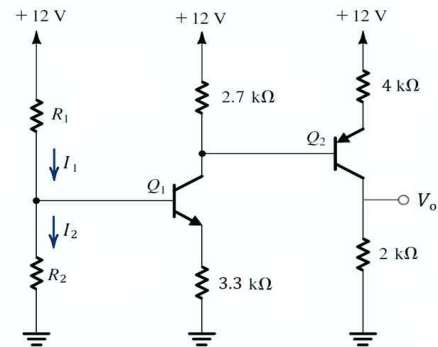


- ① - 0.4[V]
 ② - 0.2[V]
 ③ 0.1[V]
 ④ 0.4[V]

7. 다음 회로에서 입력 전압 (a) $v_I = 4[V]$, (b) $v_I = 7[V]$ 일 때, 출력 전압 v_O [V]에 가장 가까운 것은? (단, D_1 - D_4 다이오드의 순방향 전압은 0.7 [V], Z는 6.8V 제너 다이오드이다.)

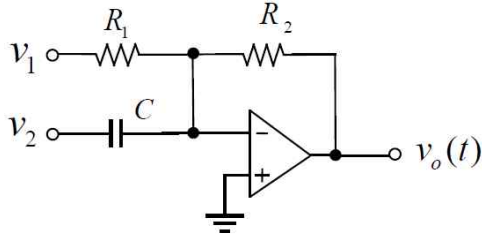


- ① (a) $v_O = 4[V]$ (b) $v_O = 8.2[V]$
 ② (a) $v_O = 5.4[V]$ (b) $v_O = 7[V]$
 ③ (a) $v_O = 4[V]$ (b) $v_O = 7[V]$
 ④ (a) $v_O = 5.4[V]$ (b) $v_O = 8.2[V]$
8. 다음 회로에서 트랜지스터 Q_2 의 컬렉터 전압 $V_O = 1[V]$ 일 때, 저항 R_1 과 전류 I_2 의 값으로 올바른 것은?
 (단, Q_1, Q_2 의 $|V_{BE}| = 0.7[V]$, $a_{DC} \approx 1$, 얼리 전압 $V_A = \infty$ 로 가정한다.)



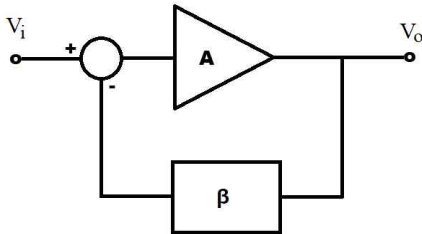
- ① $R_1 = 20[kΩ]$, $I_2 = 0.2[mA]$
 ② $R_1 = 40[kΩ]$, $I_2 = 0.1[mA]$
 ③ $R_1 = 15[kΩ]$, $I_2 = 0.3[mA]$
 ④ $R_1 = 80[kΩ]$, $I_2 = 0.1[mA]$

9. 다음 연산증폭기 회로에서 입력신호에 대한 출력 신호 $v_o(t)$ 는?(단, 연산증폭기는 이상적이다)



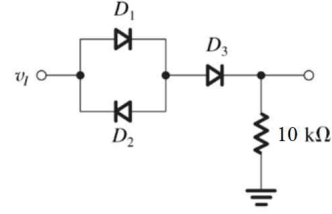
- ① $v_o(t) = -\frac{R_2}{R_1}v_1 - R_2C \frac{dv_2}{dt}$
 ② $v_o(t) = \frac{R_2}{R_1}v_1 + R_2C \frac{dv_2}{dt}$
 ③ $v_o(t) = -\frac{R_2}{R_1}v_2 - R_2C \frac{dv_1}{dt}$
 ④ $v_o(t) = \frac{R_2}{R_1}v_2 + R_2C \frac{dv_1}{dt}$

10. 다음 귀환 증폭기에서 $A = \left(\frac{2}{1+s/10^6}\right)^4$, β 는 0보다 큰 실수이다. 발진주파수(f_0)와 발진이 되는 β 의 값으로 올바른 것은?



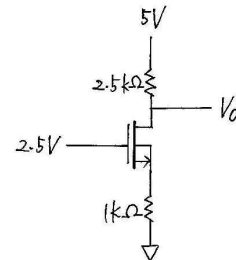
- ① $f_0 = \frac{1}{2\pi}$ [MHz], $\beta = 0.25$ [V/V]
 ② $f_0 = \frac{\sqrt{3}}{2\pi}$ [MHz], $\beta = 0.5$ [V/V]
 ③ $f_0 = \frac{1}{\sqrt{2\pi}}$ [MHz], $\beta = 0.25$ [V/V]
 ④ $f_0 = \frac{1}{\sqrt{2\pi}}$ [MHz], $\beta = 0.5$ [V/V]

11. 다음 회로의 입력전압 $v_I(t) = 10 \sin(377t)$ [V]일 때, $10[\text{k}\Omega]$ 저항에 전달되는 한 주기 평균전력으로 올바른 것은? (단, t 는 시간(초), 다이오드는 이상적이라고 가정한다)



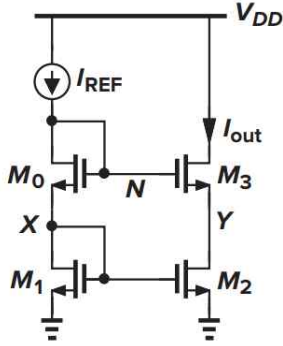
- ① 1[mW]
 ② 2.5[mW]
 ③ 5[mW]
 ④ 10[mW]

12. n-채널 MOSFET은 포화영역(saturation region)에서 $I_D = \frac{1}{2}k'_n \frac{W}{L} (V_{GS} - V_{tn})^2$ 이다. 아래 회로에서 V_O 가 2.5V가 되도록 $\frac{W}{L}$ 의 값을 정하시오. (단, $k'_n = 10^{-4}$ A/V², n-MOSFET 문턱전압 $V_{tn} = 0.5$ V)



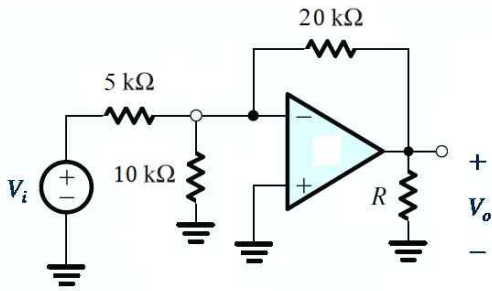
- ① 10
 ② 15
 ③ 20
 ④ 30

13. 다음 회로에서 M_0 와 M_3 트랜지스터들의 사용 목적으로 가장 옳은 것은?



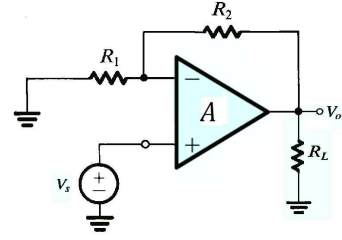
- ① Early effect를 방지한다.
- ② 회로의 파워소모를 감소시켜서 발열현상을 완화시켜준다.
- ③ 바디 효과(body effect)를 방지한다.
- ④ Channel-length modulation 현상을 완화시켜 준다.

14. 다음 증폭기에서 저항 R 에 흐르는 전류의 크기가 $5[k\Omega]$ 저항에 흐르는 전류의 5배가 되도록 하는 저항 R 의 값으로 옳바른 것은?(단, 연산증폭기는 이상적이라고 가정한다.)



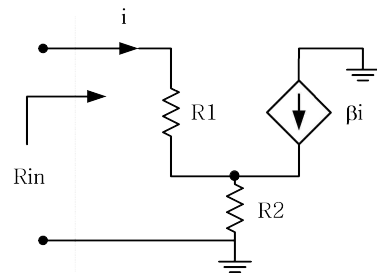
- ① $4[k\Omega]$
- ② $2[k\Omega]$
- ③ $1[k\Omega]$
- ④ $0.5[k\Omega]$

15. 다음 증폭기의 페루프 전압 이득이 $A/(1+\beta A)$ 와 같을 때, β 의 표현식으로 옳바른 것은? (단, 연산증폭기는 유한한 이득을 갖는 것 이외에는 이상적이라고 가정한다.)



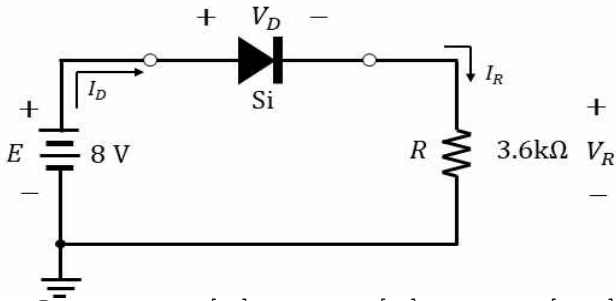
- ① $1 + \frac{R_2}{R_1}$
- ② $\frac{R_1}{R_1 + R_2}$
- ③ $1 + \frac{R_1}{R_2}$
- ④ $\frac{R_2}{R_1 + R_2}$

16. 다음 회로에서 입력저항 R_{in} 의 값으로 옳바른 것은 무엇인가?
(단, $R_1=2k\Omega$, $R_2=300\Omega$, $\beta=100$ 이다.)



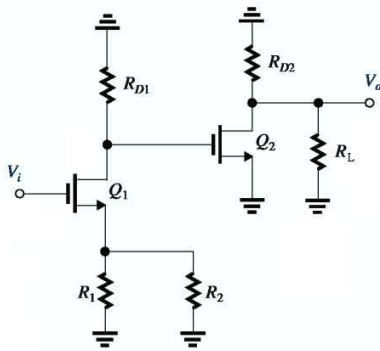
- ① $2.3[k\Omega]$
- ② $230[k\Omega]$
- ③ $32.3[k\Omega]$
- ④ $0.023[k\Omega]$

17. 다음과 같은 직렬 회로 구성에서 V_D, V_R, I_D 의 값을 구하라.



- ① $V_D = -0.7[V], V_R = 8.7[V], I_D = 3.32[mA]$
 ② $V_D = 0.7[V], V_R = 7.3[V], I_D = 2.03[mA]$
 ③ $V_D = 0.7[V], V_R = 8.3[V], I_D = 2.32[mA]$
 ④ $V_D = 0.7[V], V_R = 6.7[V], I_D = 3.03[mA]$
18. 연산증폭기(Op amp) 회로에서 슬루잉(slewing)이 있을 경우에 관찰될 수 있는 현상으로 가장 적절한 설명은?
- ① 출력전압이 불안정해지고 발진할 수 있다.
 ② 발열이 매우 심해질 수 있다.
 ③ 출력전압이 직선처럼 변하는 것이 관찰될 수 있다.
 ④ 출력전압이 특정 DC 전압으로 고정된 채 변하지 못한다.

19. 다음 증폭기의 전압이득($\frac{V_o}{V_i}$)으로 옳은 것은?
 (단, $g_{m1}g_{m2}$ 는 Q_1, Q_2 의 트랜스 컨덕턴스이며, 채널길이 변조효과는 무시한다.)



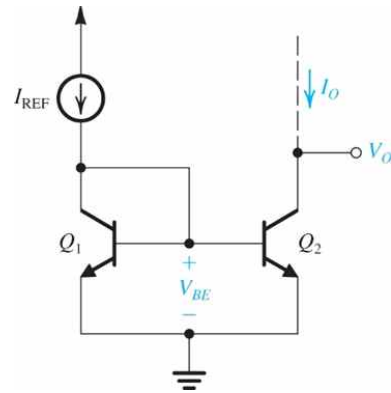
- ① $\frac{g_{m2}R_{D1}(R_{D2}||R_L)}{1 + g_{m1}g_{m2}R_1||R_2}$
 ② $\frac{g_{m1}g_{m2}(R_{D2}||R_L)}{1 + g_{m1}R_1||R_2}$
 ③ $\frac{g_{m1}g_{m2}R_{D1}(R_{D2}||R_L)}{1 + g_{m1}g_{m2}R_1||R_2}$
 ④ $\frac{g_{m1}g_{m2}R_{D1}(R_{D2}||R_L)}{1 + g_{m1}R_1||R_2}$

20. 아래 표의 카르노맵에 대한 논리식으로 옳은 것은?

AB \ CD	00	01	11	10
00	1	1	1	1
01	1	0	0	1
11	1	1	1	1
10	1	1	1	1

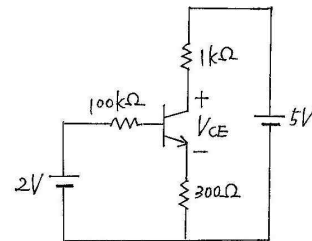
- ① $F = B + C' + D'$
 ② $F = B' + C + D'$
 ③ $F = B + C' + D$
 ④ $F = B' + C + D$

21. 다음 회로에서 BJT의 전류증폭상수를 $\beta=100$ 이라 하였을 때, reference current I_{Ref} 에 대한 출력전류 I_o 의 관계 (I_o/I_{Ref})는 근사적으로 어떻게 되는가?



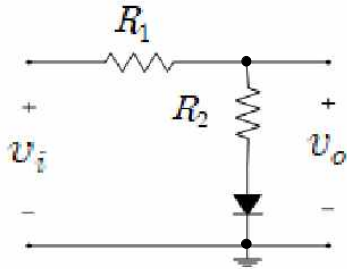
- ① 0.98
 ② 1.03
 ③ 1.08
 ④ 1.13

22. 아래 회로에서 V_{CE} 의 값으로 옳바른 것은? (단, $V_{BE} = 0.7V$, BJT의 공통이미터 전류이득: $\beta=99$)



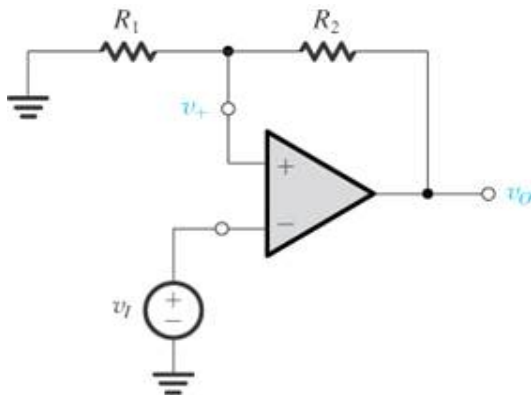
- ① 2.3[V]
 ② 2.7[V]
 ③ 3.3[V]
 ④ 3.7[V]

23. 다음 회로에서 diode의 cut-in 전압은 0.5[V], 순방향 등가저항은 500[Ω], 역방향등가저항은 무한대이고, $R_2=R_1=1[\text{k}\Omega]$ 이다. 입력 $v_i=2[\text{V}]$ 일 때의 출력 v_o 는 근사적으로 얼마인가?



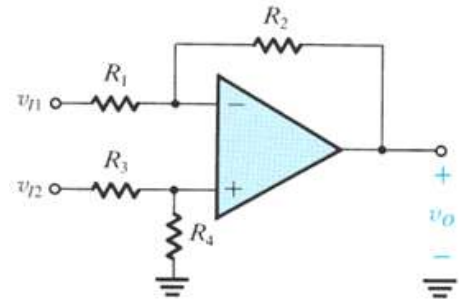
- ① 1[V]
- ② 1.25[V]
- ③ 1.4[V]
- ④ 1.5[V]

24. 다음 회로의 동작에 대하여 가장 옳게 설명한 것은 무엇인가?



- ① 전압이득은 $(1+R_2/R_1)$ 이다.
- ② Negative feedback으로 동작한다.
- ③ 전압이득은 $(-R_2/R_1)$ 이다.
- ④ 입력으로 sinusoidal 파형을 제공하면 출력으로 pulse 파형을 발생한다.

25. 다음 회로에서 $v_{i1}=1[\text{V}]$, $v_{i2}=2[\text{V}]$ 일 때 출력전압은 근사적으로 얼마인가? (단, Op amp는 이상적이고, $R_2 = 2 \cdot R_1$, $R_3 = 3 \cdot R_1$, $R_4 = 4 \cdot R_1$ 이다.)



- ① 1.25[V]
- ② 1.43[V]
- ③ 1.72[V]
- ④ 1.87[V]