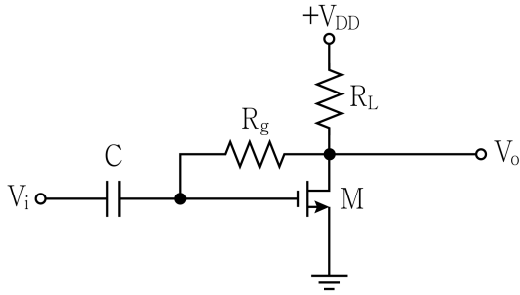
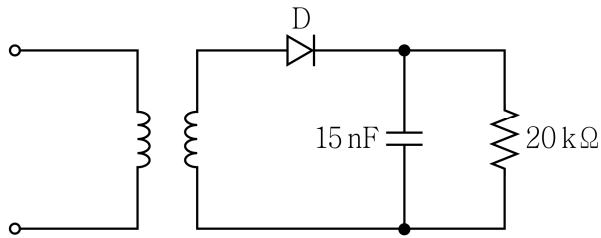


전자회로

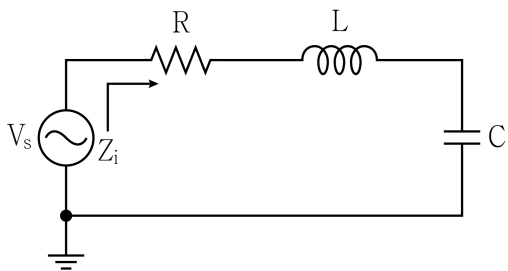
1. 다음 회로에서 $V_{DD} = 12 [V]$, $R_g = 1 [M\Omega]$, $V_{GS} = 4 [V]$, $I_{DS} = 0.5 [mA]$ 일 경우, $R_L[k\Omega]$ 은? (단, R_g 에 전류가 흐르지 않는다고 가정한다)



- ① 4
② 8
③ 16
④ 24
2. 다음 검파회로에서 입력된 반송파의 주파수가 10 [kHz]일 때, 회로의 시정수는 반송파 주기의 몇 배인가? (단, 다이오드는 이상적이다)

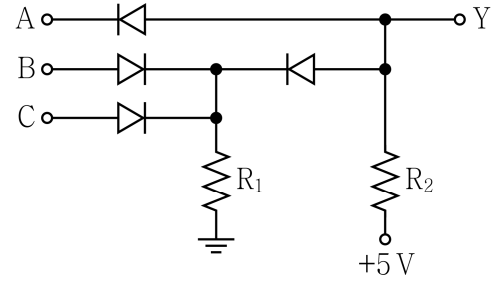


- ① 3
② 15
③ 20
④ 30
3. 다음 공진회로에 대한 설명으로 옳지 않은 것은?



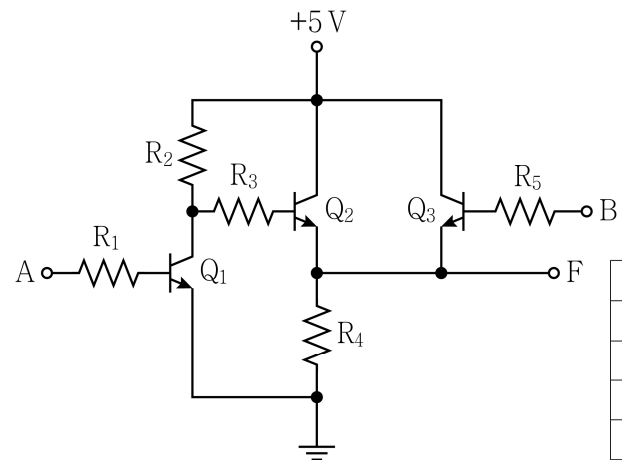
- ① 공진 주파수 $f_o = \frac{1}{2\pi\sqrt{LC}}$ 이다.
② 공진 주파수일 때, 입력 임피던스 Z_i 는 R이다.
③ 양호도(Quality factor, Q)는 R에 반비례한다.
④ 양호도는 L에 반비례한다.

4. 다음 회로와 같은 동작을 하는 출력 Y의 논리식은? (단, $R_2 \gg R_1$, 입력 A, B, C에 0 [V] 또는 5 [V]가 인가되며, 다이오드는 이상적이다)



- ① $A + BC$
② $A + \overline{BC}$
③ $A(B + C)$
④ $\overline{A}(B + C)$

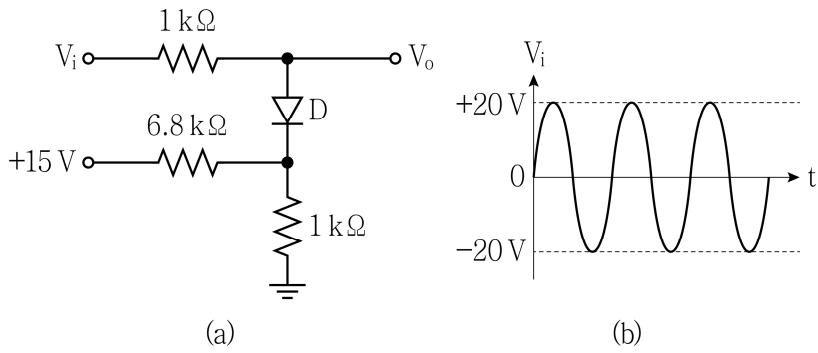
5. 다음 회로에서 입력 A, B에 논리값 '0'과 '1'에 해당하는 0 [V] 또는 5 [V]를 인가할 때, 출력 F의 논리값 중 (가)와 (다)에 들어갈 값은? (단, 입력 A, B에 0 [V] 또는 5 [V]를 인가할 때, 트랜지스터 Q_1 , Q_2 , Q_3 는 차단 또는 포화영역에서만 동작하도록 저항값을 설계하였다)



A	B	F
0	0	(가)
0	1	(나)
1	0	(다)
1	1	(라)

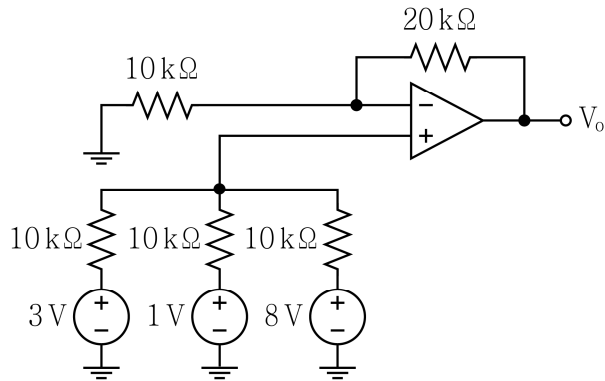
- (가) (다)
- ① 0 0
② 0 1
③ 1 0
④ 1 1

6. 그림 (a) 회로에 (b)의 입력 V_i 가 인가될 때, 최대 양(+)의 출력전압 V_o [V]에 가장 가까운 것은? (단, 다이오드의 순방향 전압은 0.7 [V]이다)



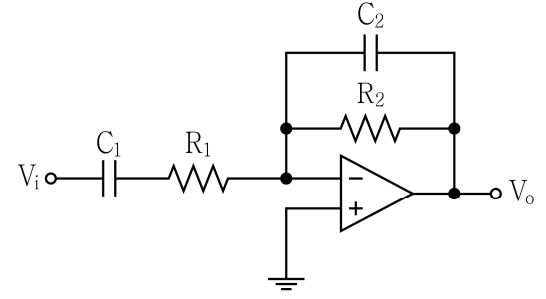
- ① 1.92
② 2.62
③ 19.3
④ 20

7. 다음 회로에서 출력전압 V_o [V]는? (단, 연산증폭기는 이상적이다)



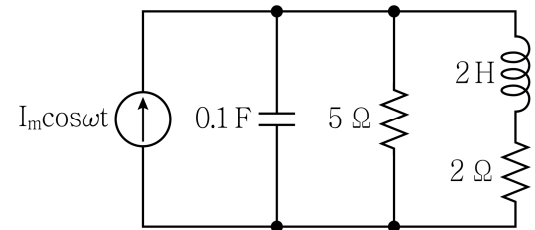
- ① 4
② 8
③ 10
④ 12

8. 다음 회로에서 전달함수 $\frac{V_o(s)}{V_i(s)}$ 는? (단, 연산증폭기는 이상적이다)



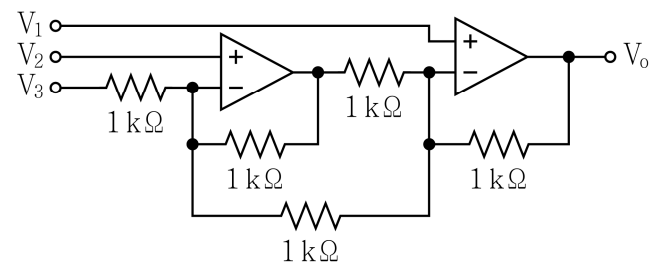
- ① $\frac{-R_2C_1}{\left(1 + \frac{s}{R_1C_1}\right)\left(1 + \frac{s}{R_2C_2}\right)}$
② $\frac{-sR_1C_2}{\left(1 + \frac{s}{R_1C_1}\right)\left(1 + \frac{s}{R_2C_2}\right)}$
③ $\frac{-R_1C_2}{(1 + sR_1C_1)(1 + sR_2C_2)}$
④ $\frac{-sR_2C_1}{(1 + sR_1C_1)(1 + sR_2C_2)}$

9. 다음 회로에서 공진 각주파수[rad/s]는?



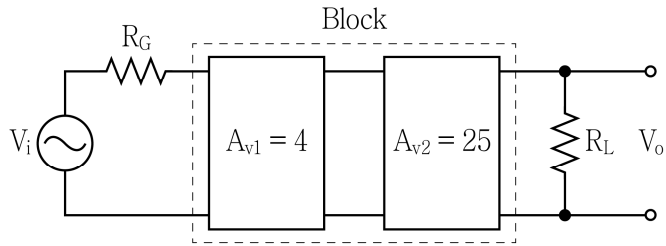
- ① 1
② 2
③ 3
④ 4

10. 다음 회로에서 입력 V_1 , V_2 , V_3 에 대한 출력 V_o 의 관계식은? (단, 연산증폭기는 이상적이다)



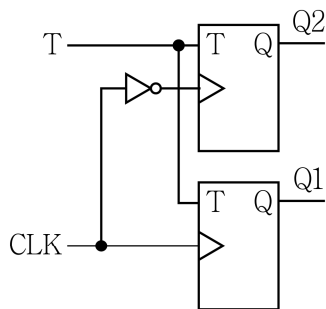
- ① $2V_1 + 2V_2 + V_3$
② $3V_1 - 3V_2 + V_3$
③ $4V_1 - 4V_2 + V_3$
④ $4V_1 - 4V_2 + 2V_3$

11. 그림에서 Block의 전체 전압이득[dB]은?

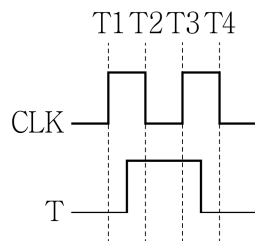


- ① 10
② 20
③ 40
④ 100

12. 그림 (a)의 두 개의 T 플립플롭 회로에서 Q의 초기 논리값은 '0'에서 시작한다. 그림 (b)와 같이 클럭 CLK와 입력 T가 주어질 때, 구간 T3 - T4에서 출력 Q1, Q2의 논리값은? (단, 각 논리 게이트에서 지연은 없다)



(a)



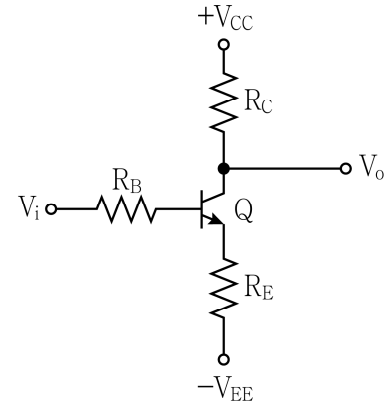
(b)

	Q1	Q2
①	0	0
②	0	1
③	1	0
④	1	1

13. p형 Si 반도체에 대한 설명으로 옳지 않은 것은?

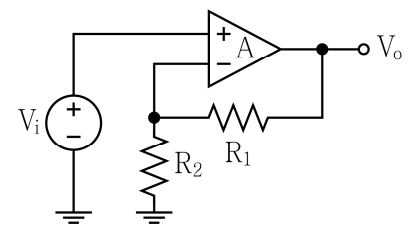
- ① 다수 캐리어가 정공이다.
② 불순물 도핑 농도가 높을수록 저항률이 증가한다.
③ 순수한 Si에 최외각 전자가 3개인 불순물을 첨가한다.
④ 페르미준위는 진성반도체보다 가전자대역의 최고 에너지준위에 더 가깝게 위치한다.

14. 다음 회로에서 소신호 전압이득의 크기 $\left| \frac{V_o}{V_i} \right|$ 를 증가시키는 방법으로 옳은 것은? (단, 트랜지스터 Q는 활성영역에서 동작하고, 교류 출력 저항 $r_o = \infty$, 교류 이미터 저항은 r_e 이다)



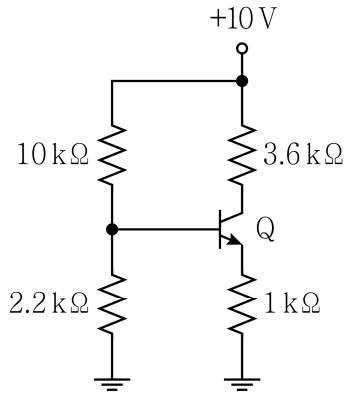
- ① r_e 를 증가시킨다.
② R_B 를 증가시킨다.
③ R_C 를 증가시킨다.
④ R_E 를 증가시킨다.

15. 다음 회로에서 전압이득 $\frac{V_o}{V_i}$ 에 가장 가까운 것은? (단, 연산증폭기의 전압이득 $A = 3$, $R_2 = 3R_1$ 이다)



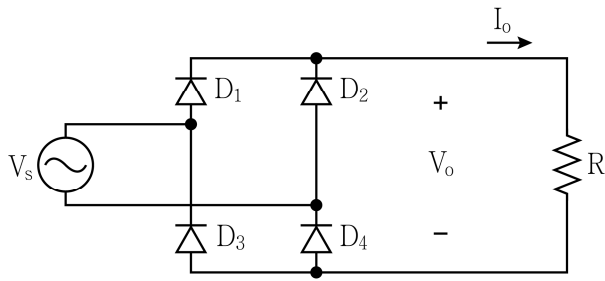
- ① $\frac{4}{13}$
② $\frac{9}{13}$
③ $\frac{12}{13}$
④ $\frac{15}{13}$

16. 다음 회로에서 컬렉터-이미터 전압 $V_{CE}[V]$ 에 가장 가까운 것은?
(단, $V_{BE} = 0.7 [V]$ 이며, 컬렉터전류는 이미터전류와 같다)



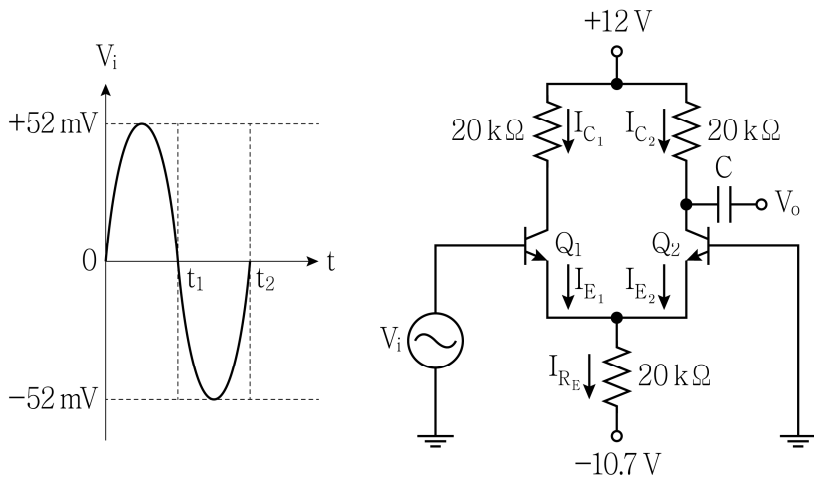
- ① 3.24
② 4.94
③ 6.04
④ 10.0

17. 다음 회로에서 부하저항 R 이 $10 [\Omega]$ 이고, 입력 전원전압의 실효값 V_s 가 $220 [V]$, $60 [Hz]$ 일 때, 회로에 대한 설명으로 옳지 않은 것은?
(단, 다이오드는 이상적이다)



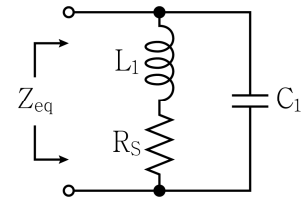
- ① 출력전류 I_o 의 실효값은 $\frac{220}{10} [A]$ 이다.
② 출력전압 V_o 의 평균값은 $\frac{\sqrt{2} \times 220}{\pi} [V]$ 이다.
③ 출력전압 V_o 의 주파수는 $120 [Hz]$ 이다.
④ 다이오드 D_1 에 걸리는 역방향 최대전압은 $\sqrt{2} \times 220 [V]$ 이다.

18. 다음 회로에서 입력 V_i 가 인가될 때, 구간 $0 - t_1$ 에서 교류 출력 전압 V_o 의 피크값 $[V]$ 에 가장 가까운 것은? (단, $V_{BE} = 0.7 [V]$, $V_T = 26 [mV]$, $\beta = 50$, $C = \infty$, 트랜지스터 Q_1 과 Q_2 의 모든 특성이 동일하며, 컬렉터전류는 이미터전류와 같다)



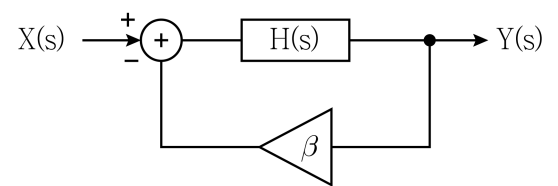
- ① 5.0
② -5.0
③ 10.0
④ -10.0

19. 다음 회로의 등가 임피던스의 크기 $|Z_{eq}(j\omega)|$ 는?



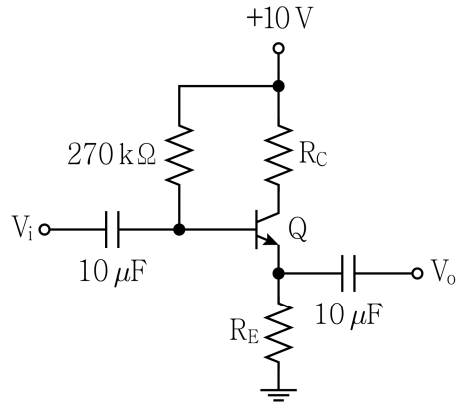
- ① $\sqrt{\frac{(1 - \omega^2 L_1 C_1)^2 + R_S^2}{R_S^2 C_1^2 \omega^2 + (\omega L_1)^2}}$
② $\sqrt{\frac{R_S^2 + (\omega L_1)^2}{(1 - \omega^2 L_1 C_1)^2 + R_S^2 C_1^2 \omega^2}}$
③ $\sqrt{\frac{R_S^2 (1 + C_1^2 \omega^2)}{(1 - \omega^2 L_1 C_1)^2 + (\omega L_1)^2}}$
④ $\sqrt{\frac{(1 - \omega^2 L_1 C_1)^2 + R_S^2 C_1^2 \omega^2}{R_S^2 + (\omega L_1)^2}}$

20. 다음 무례환 시스템의 $H(s) = \frac{A_0}{\left(1 + \frac{s}{\omega_{p1}}\right)\left(1 + \frac{s}{\omega_{p2}}\right)}$ 로 주어질 때, 페루프 전달함수의 극점(s_1, s_2)의 값 $[\text{rad/s}]$ 은? (단, $\omega_{p1} = 1 [\text{rad/s}]$, $\omega_{p2} = 3 [\text{rad/s}]$, $\beta A_0 = \frac{1}{3}$ 이다)



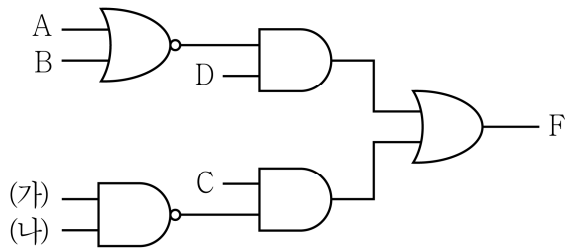
- | | s_1 | s_2 |
|---|-------|-------|
| ① | -1 | -1 |
| ② | -1 | -2 |
| ③ | -2 | -1 |
| ④ | -2 | -2 |

21. 다음 회로에서 $R_C[k\Omega]$, $R_E[k\Omega]$ 는? (단, $I_{CQ} = 2 [mA]$, $V_{CEQ} = 5.2 [V]$, $V_E = 2.4 [V]$ 이며, 컬렉터전류와 이미터전류는 같다)



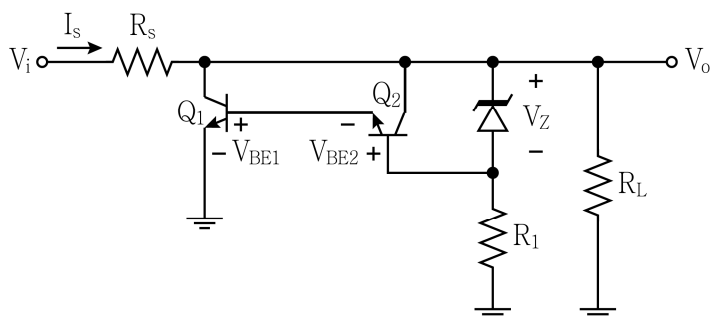
	R_C	R_E
①	1.2	1.2
②	1.2	1.4
③	1.4	1.0
④	2.4	1.2

22. 논리식 $F = \overline{A}\overline{B}D + \overline{A}\overline{B}C + \overline{A}C\overline{D} + \overline{B}C + AC + \overline{A}BC\overline{D}$ 를 아래의 논리회로로 구성할 때, (가)와 (나)의 입력은?



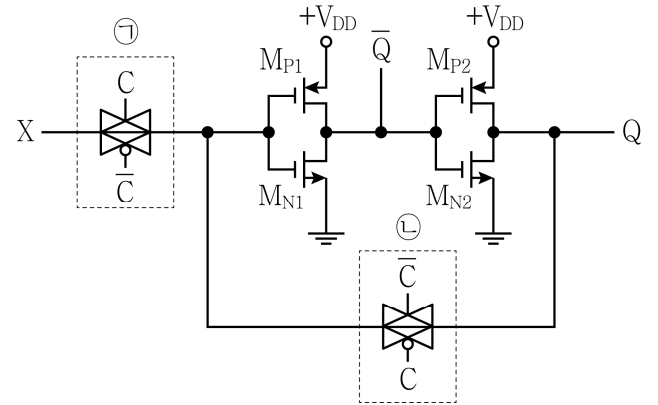
	(가)	(나)
①	$\overline{A}$	D
②	A	$\overline{B}$
③	$\overline{B}$	D
④	B	$\overline{D}$

23. 다음 전압 조정기의 R_s 에 흐르는 전류 $I_s[mA]$ 는? (단, $V_{BE1} = V_{BE2} = 0.7 [V]$, $V_Z = 5 [V]$, $V_i = 10 [V]$, $R_s = 2 [k\Omega]$ 이다)



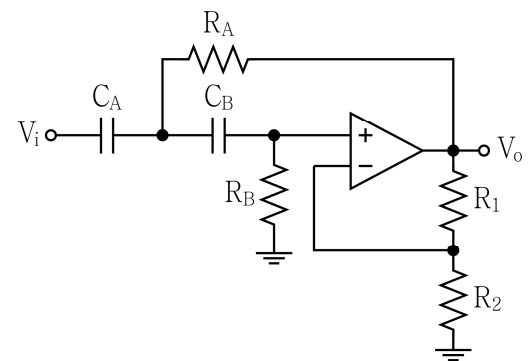
- ① 1.0
② 1.2
③ 1.5
④ 1.8

24. 다음은 전송 게이트 ㉠, ㉡과 CMOS로 구성된 순차논리회로이다. 이 회로의 명칭은? (단, 전송 게이트 ㉠의 전송 특성은 $C = '1'$ ($\overline{C} = '0'$)이면 입력정보가 출력에 전달되고, $C = '0'$ ($\overline{C} = '1'$)이면 입력정보는 출력에 전달되지 못한다. 반면에 전송 게이트 ㉡은 ㉠과 반대의 전송 특성을 가진다)



- ① D 플립플롭
② T 플립플롭
③ JK 플립플롭
④ RS 플립플롭

25. 다음 버터워스 2차 고역통과필터회로에서 차단주파수 $f_c[kHz]$ 와 전압이득 $A_v = \frac{V_o}{V_i}$ 에 가장 가까운 것은? (단, $R_A = R_B = 1.0 [k\Omega]$, $C_A = C_B = 0.5 [\mu F]$, $\frac{R_1}{R_2} = 0.586$ 이고, 연산증폭기는 이상적이다)



	f_c	A_v
①	$\frac{1}{\pi}$	1.586
②	$\frac{1}{\pi}$	2.706
③	$\frac{2}{\pi}$	1.586
④	$\frac{2}{\pi}$	2.706