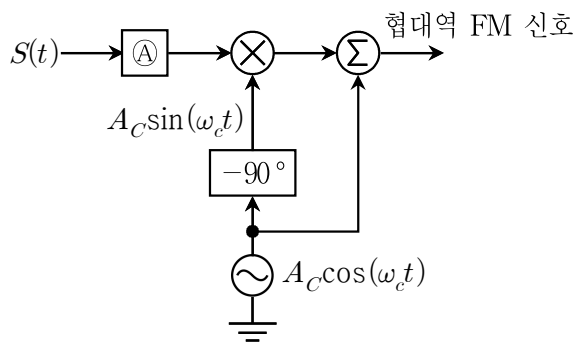


전자회로

문 1. 최고 주파수가 15[kHz]인 음성신호를 나이퀴스트 표본화 주파수로 표본화한 후, 256레벨로 양자화하고, 양자화 레벨을 중첩 없이 최소 비트 수로 이진 부호화하여 펄스부호변조(PCM) 신호를 생성할 때, 이 신호의 전송속도[kbps]는?

- ① 120
② 240
③ 360
④ 480

문 2. 다음 블록도는 신호 $S(t)$ 를 입력받아 협대역 FM 신호를 출력하는 시스템이다. 블록 ㉠의 회로도로 옳은 것은?



- ①
- ②
- ③
- ④

문 3. 다음 논리식과 동일한 논리식은?

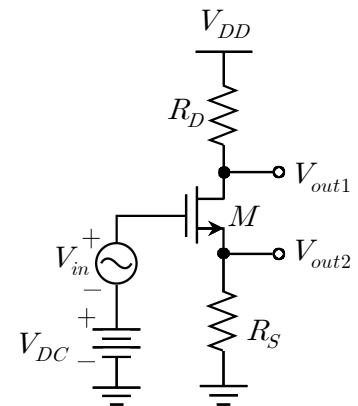
$$Y = (\overline{A+B+C}) + A(\overline{B+C}) + (\overline{A+B})C + \overline{A}BC$$

- ① A
② B
③ $\overline{A}$
④ $\overline{B}$

문 4. 다음 디지털 논리회로에서 입력이 A, B 이고 출력이 F 일 경우, 입출력 사이의 논리식이 다른 것은?

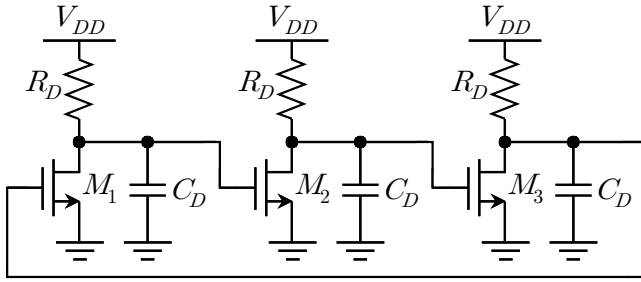
- ①
- ②
- ③
- ④

문 5. 다음 증폭회로에서 $V_{out1} = -V_{out2}$ 을 만족하기 위해서 옳은 것은? (단, MOSFET M 은 포화 영역에서 동작하고 g_m 은 MOSFET M 의 전달컨덕턴스이며, 채널길이변조(channel length modulation)와 몸체효과(body effect)는 무시한다)



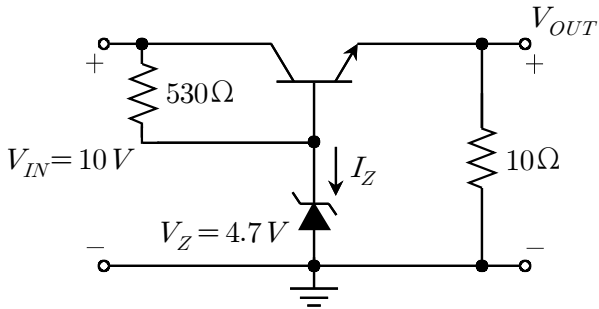
- ① $R_S = \frac{R_D}{2}$
② $g_m R_S = 1$
③ $g_m R_D = 1$
④ $R_S = R_D$

문 6. 3단의 공통 소스(common-source) 증폭기로 이루어진 다음의 링 발진기(ring oscillator) 회로에서 발진이 일어나기 위한 발진 각주파수 ω_0 [rad/s]와 R_D 의 최솟값 $[\Omega]$ 은? (단, M_1 , M_2 , M_3 는 동일한 MOSFET이고, g_m 은 MOSFET M_1 , M_2 , M_3 의 전달 컨덕턴스이며, 채널길이변조(channel length modulation)와 몸체 효과(body effect)는 무시한다)



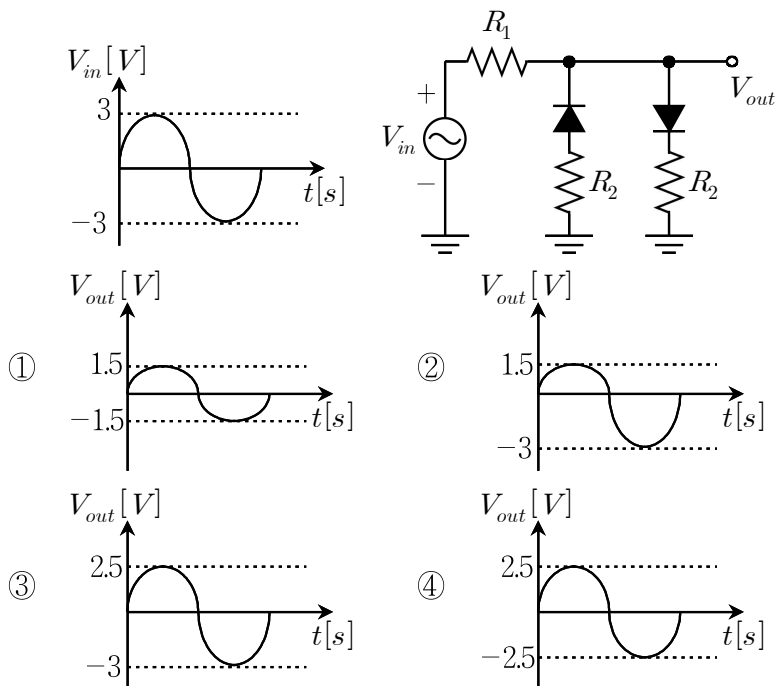
- | | | |
|---|----------------------------|-------------------|
| | $\frac{\omega_0}{R_D C_D}$ | $\frac{R_D}{g_m}$ |
| ① | $\frac{\sqrt{3}}{R_D C_D}$ | $\frac{1}{g_m}$ |
| ② | $\frac{3}{R_D C_D}$ | $\frac{1}{g_m}$ |
| ③ | $\frac{\sqrt{3}}{R_D C_D}$ | $\frac{2}{g_m}$ |
| ④ | $\frac{3}{R_D C_D}$ | $\frac{2}{g_m}$ |

문 7. 다음 회로에서 BJT의 전류이득(β)이 99일 때, 출력전압 V_{OUT} [V]과 제너전류 I_Z [mA]는? (단, BJT의 $V_{BE} = 0.7$ [V]이고 제너 다이오드의 제너전압 $V_Z = 4.7$ [V]이다)

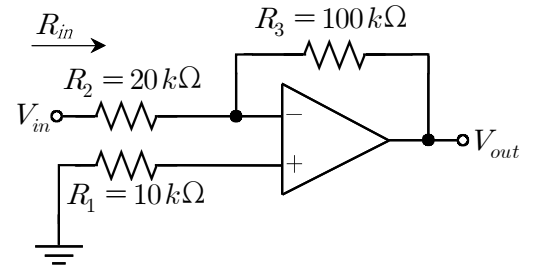


- | | |
|---|-----------------------|
| | $\frac{V_{OUT}}{I_Z}$ |
| ① | 4 4 |
| ② | 4 6 |
| ③ | 5.4 4 |
| ④ | 5.4 6 |

문 8. 다음 회로에서 정현파인 입력파형(V_{in})이 가해진 경우, 정상상태에서 출력파형(V_{out})은? (단, 각 다이오드 양단의 순방향 전압은 1 [V], $R_1 = 1$ [k Ω], $R_2 = 3$ [k Ω]이다)

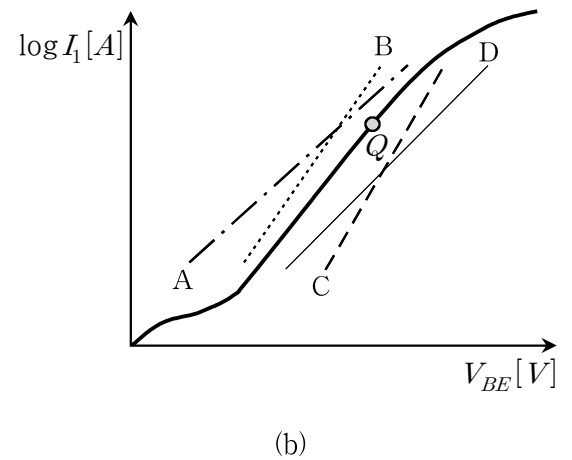
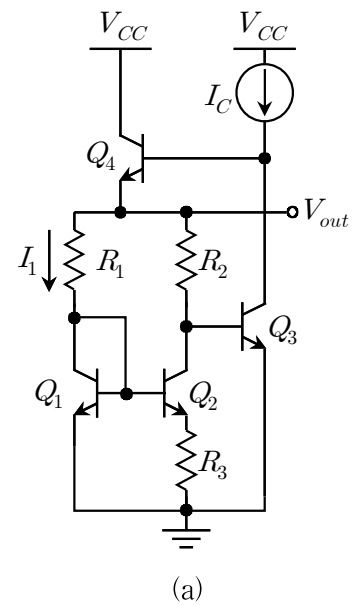


문 9. 다음 회로에서 전압이득 $\left(\frac{V_{out}}{V_{in}}\right)$ 과 입력저항 R_{in} [k Ω]은? (단, 연산증폭기는 이상적이다)



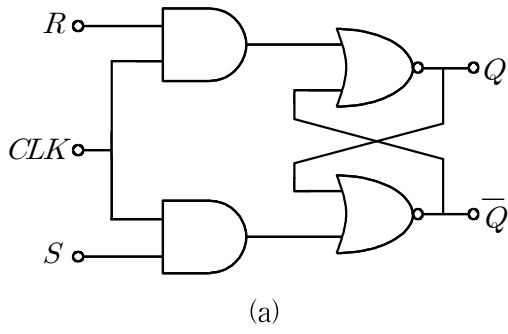
- | | | |
|---|--------------------------|----------|
| | $\frac{V_{out}}{V_{in}}$ | R_{in} |
| ① | -5 | 20 |
| ② | -5 | 30 |
| ③ | 5 | 20 |
| ④ | 5 | 30 |

문 10. 다음 그림 (a)의 밴드갭 레퍼런스 회로에서 BJT Q_1 의 전류-전압 곡선은 그림 (b)에 굵은 실선으로 그려져 있으며, 이 Q_1 은 점 Q에 바이어스 되어 있다. 회로의 온도가 변화하면 Q_1 의 일정한 지수 기울기를 갖는 전류-전압 곡선의 구간이 이동한다. 회로의 온도가 상승할 때, Q_1 의 일정한 지수 기울기를 갖는 구간에서의 전류-전압 곡선으로 옳은 것은?

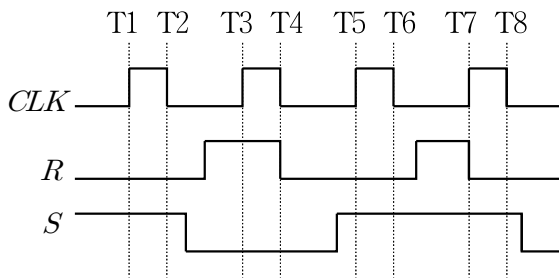


- ① A
② B
③ C
④ D

문 11. 다음 그림 (a)의 회로에서 Q 값은 초기에 '0'인 논리 값에서 시작한다. 그림 (b)와 같이 클럭 CLK 와 두 개의 입력 R 및 S 가 주어질 때, 구간 T3 - T4와 구간 T6 - T7에서 Q 의 논리 값은? (단, 각 논리 게이트에서 지연은 없다)



(a)



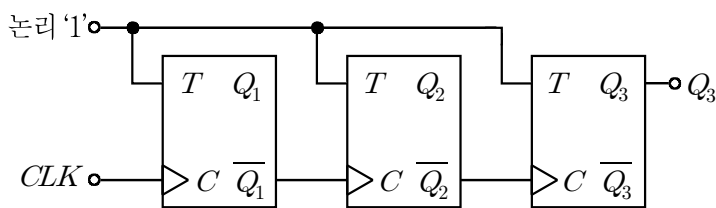
(b)

	T3 - T4 구간	T6 - T7 구간
①	0	0
②	0	1
③	1	0
④	1	1

문 12. N형 MOSFET에 대한 설명으로 옳은 것은?

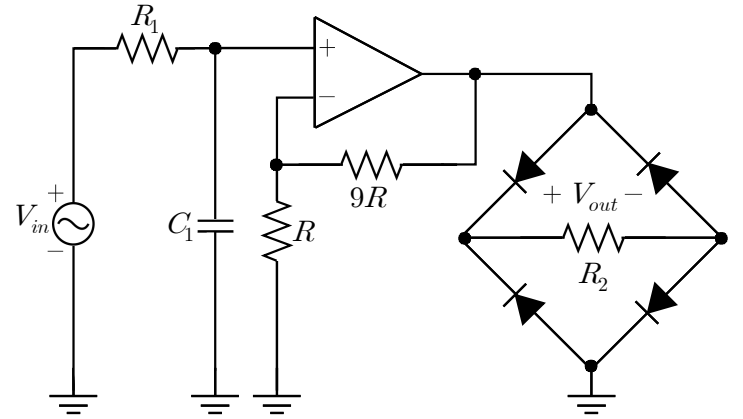
- ① 게이트 산화막 두께가 얇아질수록 트랜지스터의 전류는 증가한다.
- ② 드레인-소스 전압에 따라 전류의 크기가 변하는 현상을 몸체효과(body effect)라고 한다.
- ③ 채널 길이가 짧아짐에 따라 채널길이변조(channel length modulation) 현상은 줄어든다.
- ④ 게이트-소스 전압이 문턱 전압보다 크고 게이트-드레인 전압이 문턱 전압보다 작을 때 트랜지스터는 선형(linear) 영역에서 동작한다.

문 13. 다음 3단 T 플립플롭으로 이루어진 논리 회로에서 입력 클럭 CLK 의 주파수가 800 [MHz]일 때, 출력 신호 Q_3 의 주파수 [MHz]는?



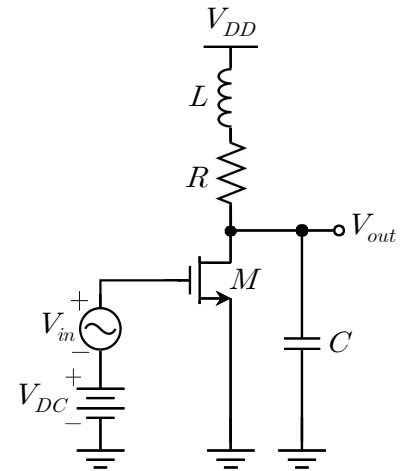
- ① 6,400
- ② 800
- ③ 400
- ④ 100

문 14. 다음 회로에서 입력 전압 $V_{in} = 10\sin(2\pi \times 10^5 t)$ [V]이고 $2\pi R_1 C_1 = 10^{-4}$ [s]일 때, 출력 전압 V_{out} 의 첨두간(peak-to-peak) 전압 값 [V]으로 가장 가까운 것은? (단, 연산증폭기는 이상적이며, 각 다이오드의 순방향 전압은 0.7 [V]이다)



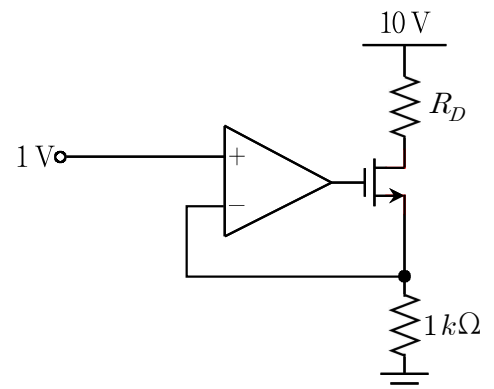
- ① 98.6
- ② 18.6
- ③ 8.6
- ④ 3.6

문 15. 다음 증폭기 회로의 전달함수 $\left(\frac{V_{out}(s)}{V_{in}(s)} \right)$ 은? (단, g_m 은 MOSFET M 의 전달컨덕턴스이며, 채널길이변조(channel length modulation)와 몸체효과(body effect)는 무시한다)



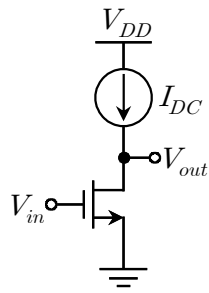
- ① $-\frac{g_m R}{1 + sR/C + s^2 LC}$
- ② $-\frac{g_m R[1 + s(L/R)]}{1 + sR/C + s^2 LC}$
- ③ $-\frac{g_m R[1 + s(L/R)]}{1 + sRC + s^2 LC}$
- ④ $-\frac{g_m R}{1 + sRC + s^2 LC}$

문 16. 다음 회로에서 MOSFET이 포화영역에서 동작하기 위한 R_D 의 최댓값 [kΩ]은? (단, MOSFET 문턱전압 $V_{th} = 0.8$ [V], 공정전달 컨덕턴스 파라미터 $k_n = \mu_n C_{ox} = 200$ [$\mu A/V^2$], 채널폭과 채널길이 비 $W/L = 10$ 이며, 채널길이변조(channel length modulation)와 몸체효과(body effect)는 무시하고 연산증폭기는 이상적이다)

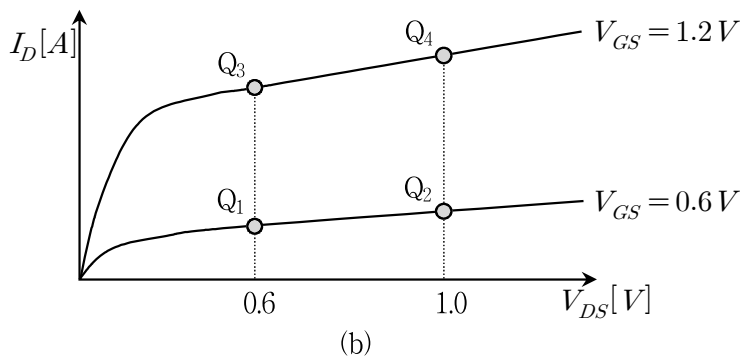


- ① 2
- ② 4
- ③ 6
- ④ 8

문 17. 다음 그림 (a)의 회로는 $I_D \propto (V_{GS} - V_{th})$ 특성을 보이는 짧은 채널 N형 MOSFET를 포함한 공통 소스 증폭기이다. 다음 그림 (b)는 이 N형 MOSFET의 전류-전압 특성 곡선을 보인다. 이 공통 소스 증폭기가 Q_1 점에서 바이어스될 때, 이 증폭기의 전압이득 $\left| \frac{V_{out}}{V_{in}} \right|$ 은? (단, 각 Q_1, Q_2, Q_3, Q_4 바이어스 점에서의 드레인 전류는 각각 $I_D(Q_1) = 2.0 [\text{mA}]$, $I_D(Q_2) = 2.2 [\text{mA}]$, $I_D(Q_3) = 7.4 [\text{mA}]$, $I_D(Q_4) = 7.8 [\text{mA}]$ 이다)



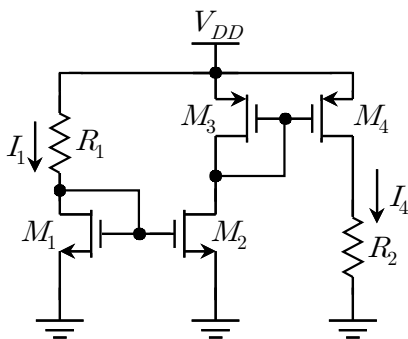
(a)



(b)

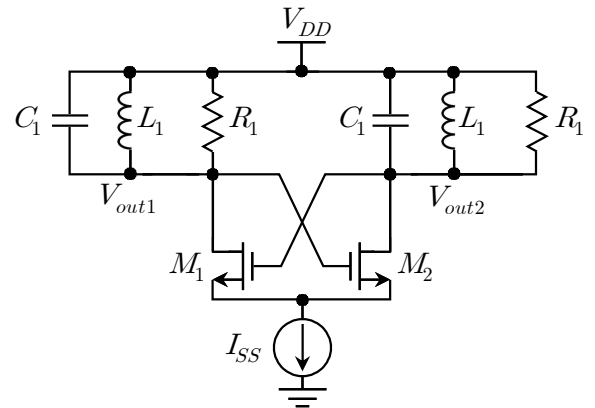
- ① 9
- ② 18
- ③ 27
- ④ 36

문 18. 다음 전류미러(current-mirror) 회로에서 MOSFET M_1, M_2, M_3, M_4 의 채널폭은 각각 W_1, W_2, W_3, W_4 로 주어질 때, $I_4 = 2I_1$ 조건을 만족하지 않는 것은? (단, M_1, M_2, M_3, M_4 는 채널폭을 제외하고 동일한 MOSFET이며, 모든 MOSFET은 포화영역에서 동작하고 채널길이변조(channel length modulation)는 무시한다)



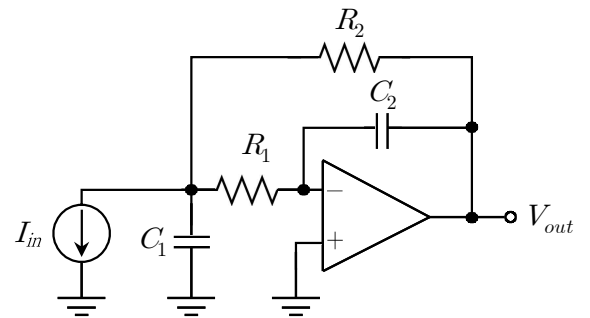
- ① $W_2 = W_1, W_4 = 0.5 W_3$
- ② $W_2 = 2 W_1, W_4 = W_3$
- ③ $W_2 = 0.5 W_1, W_4 = 4 W_3$
- ④ $W_2 = 4 W_1, W_4 = 0.5 W_3$

문 19. 다음 회로에 대한 설명으로 옳지 않은 것은? (단, M_1 과 M_2 는 동일한 MOSFET이고, g_m 은 MOSFET M_1 과 M_2 의 전달컨덕턴스이며, 채널길이변조(channel length modulation)와 몸체효과(body effect)는 무시한다)



- ① 발진하기 위한 저항 조건은 $R_1 < \frac{1}{g_m}$ 이다.
- ② 이 발진기의 발진 주파수는 $\frac{1}{2\pi\sqrt{L_1 C_1}}$ 이다.
- ③ 병렬 LC 탱크를 이용한 교차 결합 발진기이다.
- ④ LC 부하를 가진 증폭기 2개로 구성되며 발진하기 위한 하나의 증폭기에서의 위상변화는 180도이다.

문 20. 다음 회로에서 전달 임피던스 $\left(\frac{V_{out}(s)}{I_{in}(s)} \right)$ 의 양호도(quality factor) Q 는? (단, 연산증폭기는 이상적이다)



- ① $\frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$
- ② $\sqrt{\frac{R_1 C_1}{R_2 C_2}}$
- ③ $\sqrt{\frac{C_1 R_1 R_2}{C_2 (R_1 + R_2)^2}}$
- ④ $\sqrt{\frac{R_1 + R_2}{C_1 C_2 R_1 R_2}}$