

전자공학개론

문 1. PCM 방식에서 ㉠, ㉡의 값은?

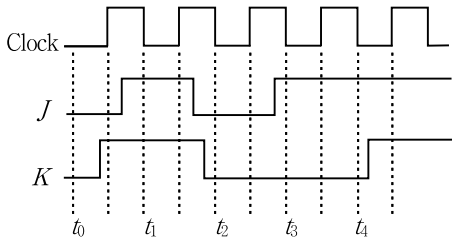
- 최대 주파수 10 [kHz]로 대역제한된 신호를 왜곡 없이 복원할 수 있는 ㉠ 최소 샘플링 주파수 [kHz]
○ 양자화 레벨의 수가 126일 때, 2진 부호화하는 경우 하나의 양자화된 표본값을 표현하는 데 필요한 ㉡ 최소 비트 수

㉠	㉡
① 10	7
② 10	8
③ 20	7
④ 20	8

문 2. BJT와 MOSFET을 비교한 설명으로 옳지 않은 것은?

- ① BJT에 비해 MOSFET은 단위소자 면적을 줄일 수 있어서 고밀도 집적회로 설계가 가능하다.
② BJT에 비해 MOSFET은 속도가 빠르므로 고속 회로 설계에 더 적합하다.
③ BJT에 비해 MOSFET은 입력 임피던스 값이 매우 커서 입력 전류의 크기가 매우 작다.
④ MOSFET은 다수캐리어의 이동에 의하여 동작 특성이 결정되므로 단극성(unipolar) 소자이다.

문 3. 다음 파형을 상승에지 트리거 J-K 플립플롭에 인가하였을 때, 시간 $t = t_1, t_2, t_3, t_4$ 에서의 출력 Q 를 차례대로 바르게 나열한 것은? (단, Q 는 $t = t_0$ 에서 1로 초기화되어 있으며, 게이트에서 전파지연은 없다고 가정한다)



- ① 0, 1, 0, 1
② 0, 0, 1, 1
③ 0, 1, 1, 1
④ 1, 0, 1, 0

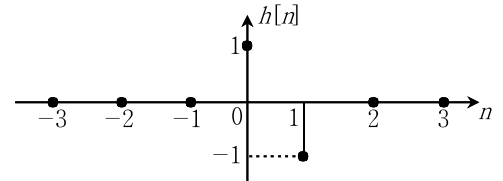
문 4. 다음 다이오드에 대한 설명으로 옳지 않은 것은?

- ① 제너 다이오드(Zener diode)는 순방향 바이어스에서의 제너 항복현상에 의해서 일정한 전압을 공급한다.
② 발광 다이오드(light-emitting diode)는 순방향 바이어스 상태에서 전류가 인가되면 빛을 방출한다.
③ PN 접합 다이오드에서 역방향 바이어스를 인가하면 PN 접합부의 공핍층이 늘어난다.
④ 광수신 다이오드(photo diode)는 역방향 바이어스 상태에서 빛이 인가되면 전류를 발생시킨다.

문 5. FM 방송에서 FM 변조 전에 프리앰퍼시스 필터를 사용하고 수신측에서는 디앰퍼시스 필터를 사용하는 이유는?

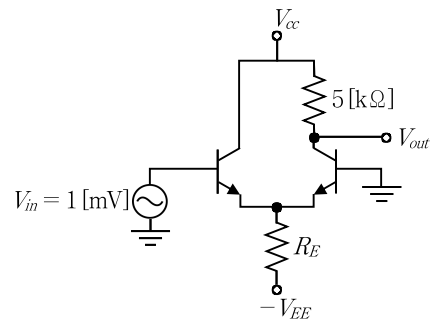
- ① 페이딩 현상을 방지하기 위해
② 스테레오 방송을 가능하게 하기 위해
③ 비선형 양자화를 위해
④ 수신단 출력 잡음의 고주파 성분을 줄이기 위해

문 6. 그림과 같은 임펄스 응답 $h[n]$ 을 갖는 선형 시불변 이산시스템에서 입력신호 $x[n]$ 에 대한 출력신호를 $y[n]$ 이라고 할 때, 이에 대한 설명으로 옳지 않은 것은? (단, $h[0] = 1, h[1] = -1$ 이고 그 외의 모든 n 에 대해서는 $h[n] = 0$ 이다)



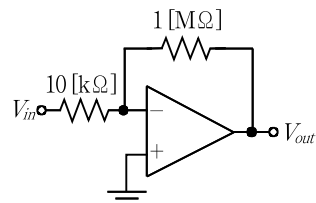
- ① $x[n]$ 이 $n=0$ 에서는 1이고 그 외의 모든 n 에 대해서는 0이라면, $y[1] = -1$ 이다.
② 모든 n 에 대하여 $x[n] = 1$ 이라면, 모든 n 에 대하여 $y[n] = 0$ 이다.
③ 입력신호 $x[n-2]$ 에 대한 출력신호는 $y[n-2]$ 이다.
④ $y[n]$ 은 $x[n+1]$ 의 영향을 받는다.

문 7. 다음 차동증폭기 회로에서 입력 임피던스 Z_{in} [kΩ]과 출력전압 V_{out} [mV]는? (단, BJT는 서로 동일하고, BJT의 전류 이득 $\beta_{ac} = 100$ 와 교류 이미터 저항 $r'_e = 25$ [Ω]이다. $R_E \gg r'_e$ 이고 BJT가 활성영역에서 동작한다고 가정한다)



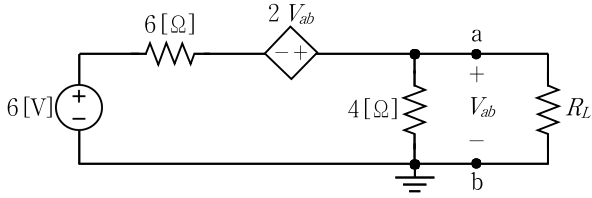
Z_{in}	V_{out}
① 2.5	100
② 5	100
③ 2.5	200
④ 5	200

문 8. 다음 반전증폭기 회로에서 고역 차단주파수 [kHz]는? (단, 연산 증폭기 자체의 중간영역 개방루프 전압이득은 100 [dB]이고 고역 차단주파수는 10 [Hz]이다)



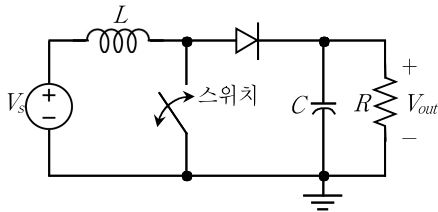
- ① 100
② 50
③ 10
④ 1

문 9. 다음 회로에서 최대 전력이 부하 R_L 에 전달되기 위한 $R_L[\Omega]$ 은?



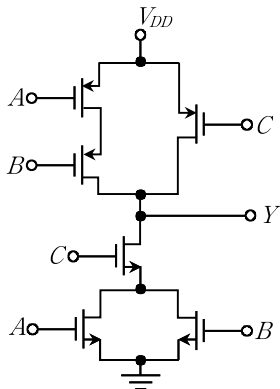
- ① 6
② 8
③ 10
④ 12

문 10. 다음 스위칭 전원 회로에서 주기 T 마다 듀티싸이클 D 의 비율만큼 스위치가 닫힐 때, 정상상태의 출력전압 $V_{out}[\text{V}]$ 는? (단, $V_S=1[\text{V}]$, $L=1[\text{mH}]$, $D=0.5$, $T=10[\mu\text{s}]$, $R=50[\Omega]$, C 는 출력전압이 일정하도록 충분히 크고, 다이오드 및 스위치는 이상적이며, 인덕터 전류는 연속이라고 가정한다)



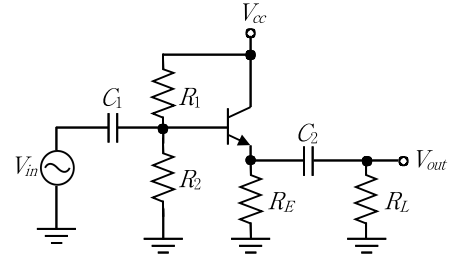
- ① 0.25
② 0.5
③ 1
④ 2

문 11. 다음 CMOS 논리회로에서 입력 $A=1$, $B=1$, $C=0$ 일 때 출력 $Y=Y_1$ 이라고 하고 입력 $A=0$, $B=1$, $C=1$ 일 때 출력 $Y=Y_2$ 라고 할 때, Y_1 과 Y_2 는?



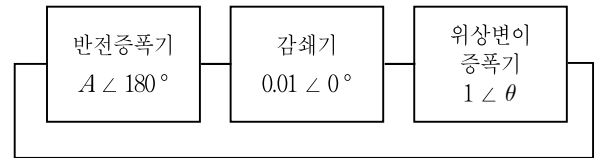
- | | Y_1 | Y_2 |
|---|-------|-------|
| ① | 1 | 1 |
| ② | 1 | 0 |
| ③ | 0 | 1 |
| ④ | 0 | 0 |

문 12. 다음 BJT 공통컬렉터 증폭기 회로에 대한 설명으로 옳지 않은 것은? (단, 이 증폭기는 중간주파수대역에서 동작하고 있다고 가정한다)



- ① 출력신호는 입력신호와 180도의 위상차가 난다.
② 커패시터 C_1 , C_2 는 직류신호를 차단하는 데 사용된다.
③ 높은 입력저항 특성을 가지고 있어 버퍼 역할을 할 수 있다.
④ 전압 이득(V_{out}/V_{in})은 1에 가깝다.

문 13. 다음 발진기 블록 다이어그램에서, 정상상태의 발진을 만들기 위해 필요한 반전증폭기의 이득 A 와 위상변이증폭기의 위상변이 θ [°]는?

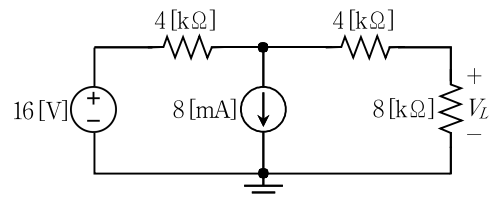


- | A | θ |
|-------|----------|
| ① 1 | 0 |
| ② 1 | 180 |
| ③ 10 | 0 |
| ④ 100 | 180 |

문 14. 증가형 n-채널 MOSFET의 문턱전압에 대한 설명 중 옳지 않은 것은?

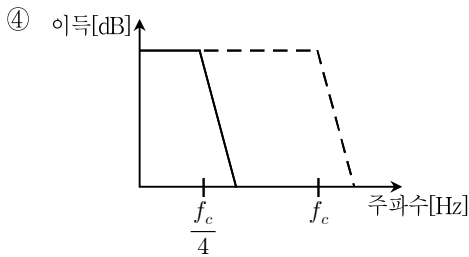
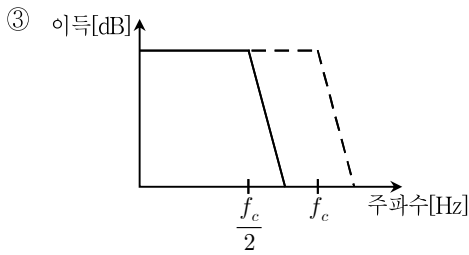
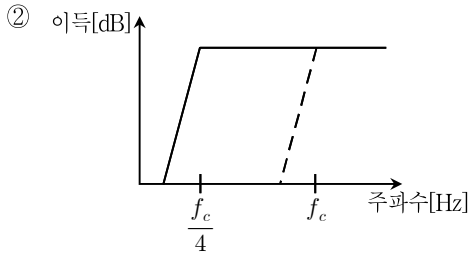
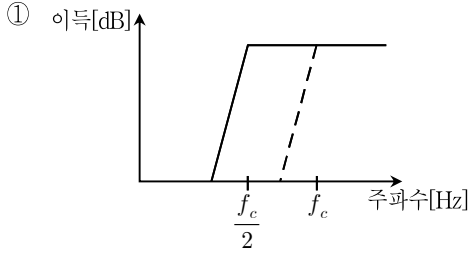
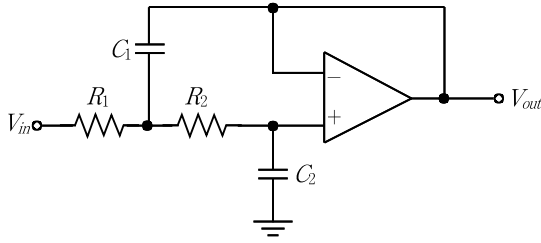
- ① 기판의 도핑농도가 클수록 문턱전압은 증가한다.
② 채널 폭이 좁아질수록 문턱전압은 감소한다.
③ 채널 길이가 짧아질수록 문턱전압은 감소한다.
④ 드레인-소스 전압이 증가할수록 문턱전압은 감소한다.

문 15. 다음 회로에서 저항 $8[\text{k}\Omega]$ 의 양단에 걸리는 전압 $V_L[\text{V}]$ 는?

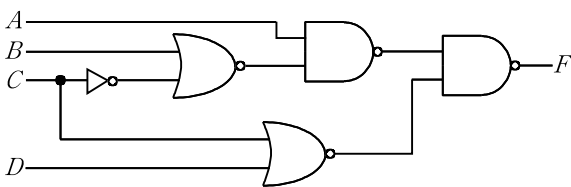


- ① 8
② 4
③ -4
④ -8

문 16. 다음 차단주파수가 f_c 인 2극 능동 필터 회로에서 R_1 과 R_2 를 각각 2배씩 증가시켰을 때, 주파수 응답특성의 변화로 옳은 것은? (단, 점선은 다음 회로의 주파수 응답특성이고 실선은 R_1 과 R_2 를 각각 2배씩 증가시켰을 때의 주파수 응답특성이다. 연산증폭기는 이상적이라고 가정한다)



문 17. 다음 회로에서 출력 F 의 논리식은?



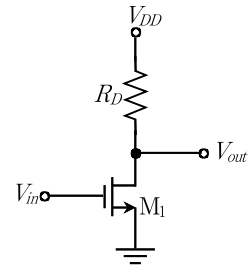
- ① 1
 ② $C + D$
 ③ $AB + \overline{C} + D$
 ④ $A + B + C + \overline{D}$

문 18. 다음 논리식 F 와 동일한 논리식은?

$$F = XYZ + \overline{X}Y\overline{Z} + \overline{X}YZ + X\overline{Y}Z + XY\overline{Z}$$

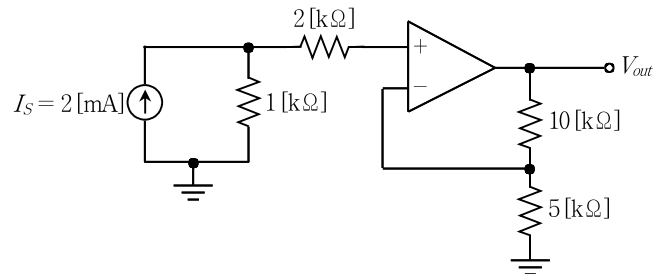
- ① $Y + XZ$
 ② $X + Y\overline{Z}$
 ③ $Y + \overline{X}Z$
 ④ $Z + XY$

문 19. 다음 MOSFET 공통소스 증폭기 회로에서 M_1 이 포화영역에서 동작할 때, 이에 대한 설명으로 옳은 것은? (단, M_1 의 전달컨덕턴스 $g_m = 200$ [mS], 소신호 출력저항 $r_o = 10$ [k Ω]이고 $R_D = 10$ [k Ω]이다)



- ① M_1 의 드레인-소스 전압 V_{DS} 는 $V_{OV}(=V_{GS} - V_t, V_t$ 는 문턱 전압)보다 작다.
 ② 증폭기 출력저항 $R_{out} = 10$ [k Ω]이다.
 ③ M_1 의 얼리전압(Early voltage) $V_A = 20$ [V]이라면 드레인전류 $I_D = 2$ [mA]이다.
 ④ 증폭기 전압이득 $A_v = 30$ [dB]이다.

문 20. 다음 증폭회로에서 입력 전류원 $I_s = 2$ [mA]일 때, 출력전압 V_{out} [V]는? (단, 연산증폭기는 이상적이다)



- ① 1
 ② 2
 ③ 4
 ④ 6