

※ 답안지에 한 번 표기한 답을 백색 수정액으로 정정하거나 칼 등으로 긁어 변형할 경우 그 문항을 무효로 처리함.

1. 디지털 시스템에서는 일반적으로 아날로그 신호를 디지털 신호로 변환하여 사용한다. 다음 중 디지털 신호 변환에 대한 설명으로 가장 옳지 않은 것은?

- ① 아날로그 신호는 시간적, 공간적 측면에서 연속적으로 변화하는 신호이다.
- ② 디지털 신호는 시간적, 공간적 측면에서 비연속적이고 제한된 비트 값으로 표시된다.
- ③ 아날로그 신호를 디지털 신호로 바꾸기 위해서는 표본화(Sampling)후 양자화(Quantization) 작업을 통해 이산화(Discrete) 시킨다.
- ④ 최대크기가 M 인 아날로그 신호를 n 비트의 디지털 신호로 표현할 때 이산화된 디지털 신호가 갖는 최대오차는 비트 n 이 클수록 증가한다.

2. 다음 중 그레이 코드 10110101을 2진수 코드로 바르게 변환한 것은?

- ① 11011001₂
- ② 11101111₂
- ③ 11010110₂
- ④ 10111010₂

3. 2진수 연산 1011.01₂ - 100.001₂의 결과를 10진수로 바르게 변환한 것은?

- ① 7.125₁₀
- ② 8.25₁₀
- ③ 8.125₁₀
- ④ 7.25₁₀

4. 다음은 8bit로 구성된 데이터의 보수표현에 관한 설명이다. 다음 중 가장 옳지 않은 것은?

- ① 부호화된 절대값의 표현 범위는 10진수로 -127 ~ +127이다.
- ② 두 십진수의 연산 결과를 부호화된 2의 보수로 표시한 경우, 127₁₀ - 127₁₀ = 1 1111111₂ 이다.
- ③ 부호화된 1의 보수의 표현 범위는 10진수로 -127 ~ +127 이다.
- ④ 부호화된 1의 보수로 -9₁₀를 표시하면 1 1110110₂이다.

5. 아래 그림은 A, B, C, D 4bit를 입력으로 받아 2진화 10진수(BCD)에서 사용하지 않는 코드일 때 $F=1$ 을 출력하는 회로이다. 이 회로의 논리식으로 옳은 것은? (단, A 가 최상위비트(MSB)이고, D 가 최하위비트(LSB)이다.)

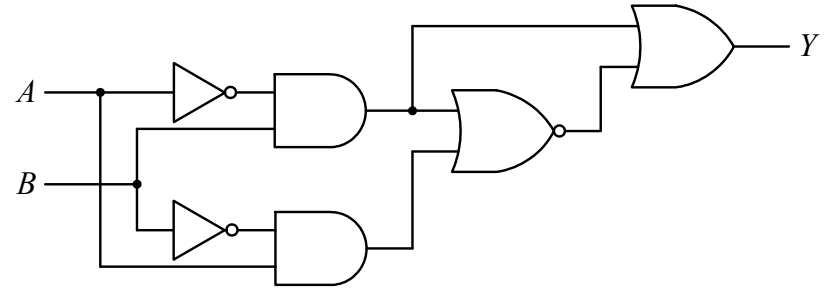


- ① $F = AB + AC$
- ② $F = \overline{A} + \overline{BC}$
- ③ $F = A(B + C + D)$
- ④ $F = A + BC + CD$

6. 고정 소수점 데이터 형식에 대한 설명으로 다음 중 가장 옳지 않은 것은?

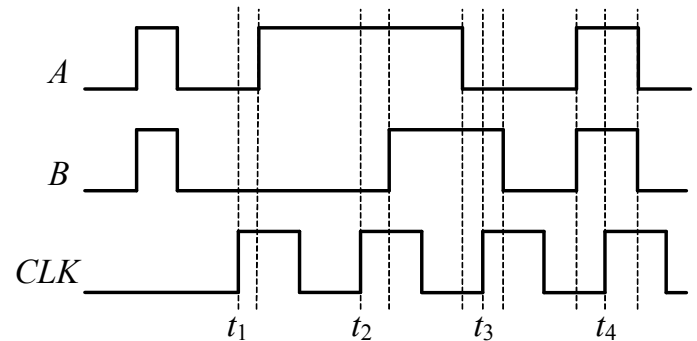
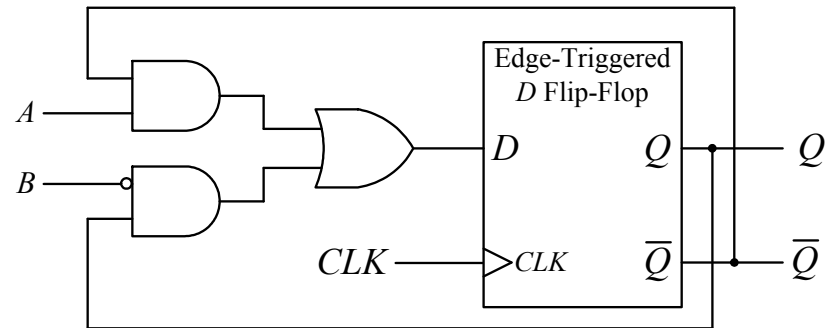
- ① 고정 소수점 데이터 형식은 부호부와 정수부로 구분하여 표현한다.
- ② 부호부가 "0" 이면 양수, "1" 이면 음수를 나타낸다.
- ③ 고정 소수점 데이터 형식은 정수를 표현할 때 첫 번째 비트는 부호를 나타내고 두 번째부터 마지막 비트까지는 정수가 2진수로 변환되어 표시된다. 소수점은 맨 오른쪽 비트 다음에 고정된 것으로 가정한다.
- ④ 고정 소수점 데이터 형식은 숫자의 절대값이 매우 크거나 매우 작아서 부동 소수점 데이터 형식으로 나타낼 수 없을 경우에 사용한다.

7. 아래 회로에서 출력 $Y=1$ 의 의미와 가장 관련이 있는 관계식은 무엇인가? (단, 입력 A 와 B 는 1bit이다.)



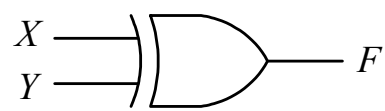
- ① $A < B$
- ② $A > B$
- ③ $A \leq B$
- ④ $A \geq B$

8. 다음은 D 플립플롭을 이용한 회로를 나타낸 것이다. 입력 A, B, CLK 의 파형이 아래와 같이 주어졌을 때, 출력 Q 의 파형으로 가장 옳게 표현한 것은? (단, t_1, t_2, t_3, t_4 는 CLK 신호의 각 rising edge에서의 시간을 나타낸다. 또한 게이트와 D 플립플롭에서의 지연시간은 없다고 가정한다.)



- ①
- ②
- ③
- ④

9. 다음 그림과 같은 회로의 출력 논리식이 아닌 것은?



- ① $F = \overline{X}Y + X\overline{Y}$

② $F = (X + Y)\overline{XY}$
- ③ $F = \overline{(X + Y)}(XY)$

④ $F = \overline{(XY + \overline{(X + Y)})}$

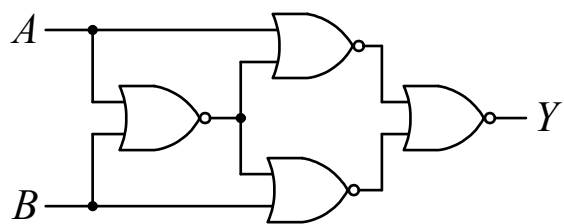
10. 불 함수 $F(A, B, C, D) = (AB + C)\overline{D}$ 를 최대항으로 바르게 표시한 것은?

- ① $F(A, B, C, D) = \prod M(0, 1, 3, 4, 5, 7, 8, 9, 11, 13, 15)$
- ② $F(A, B, C, D) = \prod M(2, 6, 10, 12, 14)$
- ③ $F(A, B, C, D) = \prod M(0, 1, 3, 4, 5, 7, 8, 10, 11, 14, 15)$
- ④ $F(A, B, C, D) = \prod M(0, 1, 3, 5, 7, 8, 9, 11, 13, 15)$

11. 4변수 논리식 $F(A, B, C, D) = \sum m(1, 5, 9, 10, 11, 13, 14)$ 를 최소화했을 때 다음 중 올바른 것은?

- ① $AC\overline{D} + \overline{A}BD + CD$
- ② $AC\overline{D} + \overline{A}B\overline{D} + \overline{C}D$
- ③ $AC\overline{D} + \overline{A}BC + \overline{C}D$
- ④ $ACD + \overline{A}B\overline{D} + \overline{C}D$

12. 다음의 NOR 게이트로 이루어진 회로는 어느 게이트와 같은가?



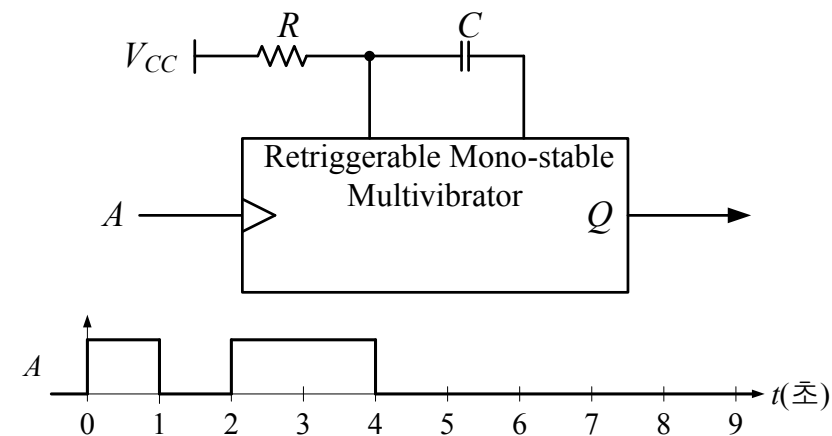
- ① AND
- ② XOR
- ③ XNOR
- ④ NAND

13. 최대항으로 표현된 아래 불 함수 $F(A, B, C)$ 를 간소화한 것 중 가장 올바른 것은?

$$F(A, B, C) = \prod M(0, 2, 4, 5, 6)$$

- ① $AC + \overline{B}C$
- ② $\overline{A}C + \overline{B}C$
- ③ $AC + BC$
- ④ $\overline{A}C + BC$

14. 시정수(Time Constant)가 3초로 설정된 Retriggerable Mono-stable Multivibrator 회로에 A와 같은 신호가 입력되었을 때 출력 Q는 몇 초 지점에서 'Low'로 돌아오는가?



- ① $t = 3$ 초 지점
- ② $t = 4$ 초 지점
- ③ $t = 5$ 초 지점
- ④ $t = 7$ 초 지점

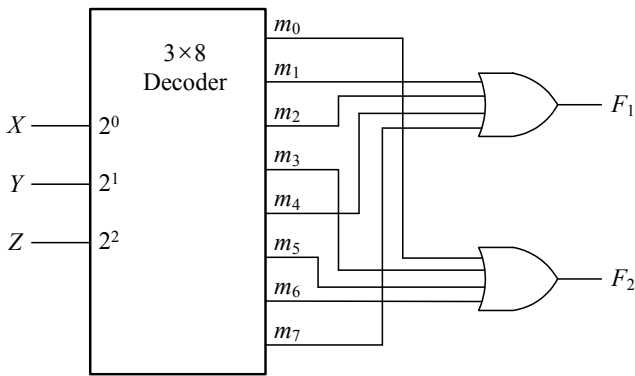
15. 3변수 논리식 $F(X, Y, Z) = \sum m(3, 4, 7) + \sum d(1, 5, 6)$ 를 최소화하여 올바르게 표현한 것은? (단, $\sum d(1, 5, 6)$ 은 무관항 (don't care) 이다.)

- ① XZ
- ② $X + Z$
- ③ $\overline{X}Z$
- ④ $\overline{X} + \overline{Z}$

16. 다음 불 함수 등식 중 옳지 않은 것은?

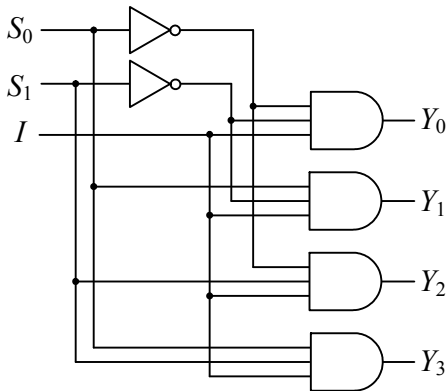
- ① $AB + A\overline{B} = A$
- ② $A + AB = A$
- ③ $A + \overline{A}B = A + B$
- ④ $A\overline{B}C + ABC + \overline{A}BC = AC + AB$

17. 아래 그림은 3×8 디코더를 이용하여 설계한 조합논리회로이다. 이 회로의 기능은 무엇인가?



- ① 우선순위 인코더
- ② 패리티 발생회로
- ③ 전가산기
- ④ 전감산기

18. 다음 그림의 회로와 관련 있는 것은? (단, I는 입력, $Y_0 \sim Y_3$ 은 출력, S_0, S_1 은 선택단자이다.)



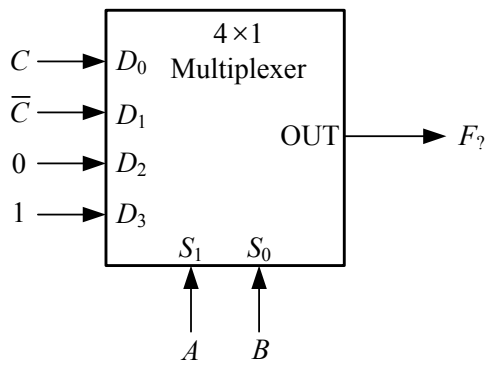
- ① 인코더
- ② 멀티플렉서
- ③ 디코더
- ④ 디멀티플렉서

19. 조합논리(Combinational Logic)회로와 순차논리(Sequential Logic)회로에 관한 설명들이다. 이 중 옳은 것만을 묶어놓은 것은?

- 가. 조합논리회로는 D 플립플롭(Flip-Flop) 및 D 래치(Latch)와 같은 메모리 요소(저장 요소)를 포함한다.
- 나. 4비트 BCD 카운터(Binary Coded Decimal Counter)는 16개의 상태(State)를 가진다.
- 다. 일반적으로 연산속도 측면에서 4비트 CLA 가산기(Carry Look-ahead Adder)가 4비트 리플 캐리 가산기(Ripple Carry Adder)보다 빠르다.
- 라. 비동기 리셋(Asynchronous Reset)단자를 포함하는 D 플립플롭(Flip-Flop)은 전원이 인가되는 시점에서 D 플립플롭의 초기치 (Initial Value)를 "0"으로 설정할 수 있다.

- ① 가, 나
- ② 나, 다
- ③ 다, 라
- ④ 가, 라

20. 입력변수가 A, B, C 인 불 함수는 4×1멀티플렉서(Multiplexer)를 이용하여 효율적으로 구현할 수 있다. 아래의 멀티플렉서 구현에 해당하는 출력은 어떤 것인가? (단, $D_0 \sim D_3$ 은 입력단자이고, S_0, S_1 은 선택단자이다.)



A	B	C	F_1	F_2	F_3	F_4
0	0	0	0	1	1	0
0	0	1	1	0	0	1
0	1	0	1	0	0	1
0	1	1	0	1	1	0
1	0	0	1	0	1	0
1	0	1	1	0	1	0
1	1	0	0	1	0	1
1	1	1	0	1	0	1

- ① F_1
 ③ F_3
- ② F_2
 ④ F_4

21. 디멀티플렉서(Demultiplexer)에 대한 설명으로 다음 중 가장 옳은 것은?

- n 비트 입력 단자를 통해 들어온 2진 신호를 최대 2^n 개 출력 단자 중 하나를 선택하는 회로이다.
- n 개의 입력 단자 중에 하나를 선택하는 회로이다.
- 1개의 입력 단자로 들어오는 신호를 2^n 개의 출력 단자 중에 1개를 선택하여 출력한다.
- 2^n 개의 입력 단자를 통하여 들어온 데이터를 n 개의 출력 단자로 코드화해서 출력한다.

22. 8×1 멀티플렉서에서 필요한 선택입력의 개수는 최소한 몇 개인가?

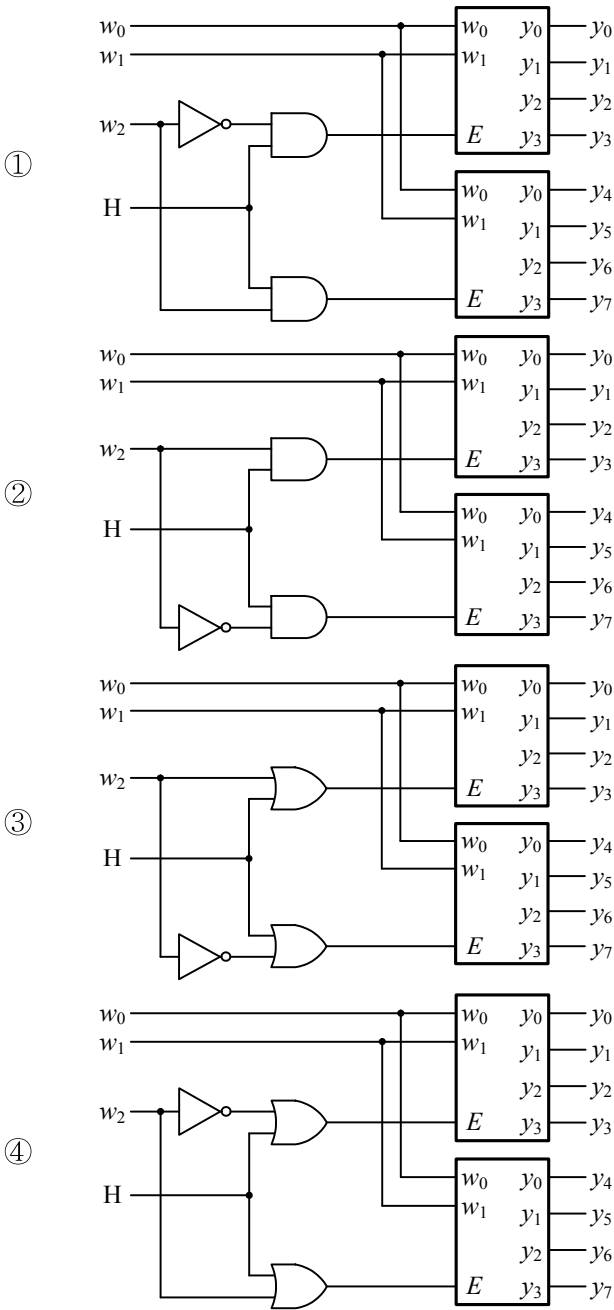
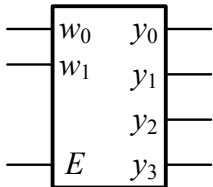
- 2개
- 3개
- 4개
- 8개

23. 다음은 조합논리회로 설계에 필요한 과정들이다. 임의의 조합 논리회로를 설계하는 과정의 순서를 가장 올바르게 나열한 것은?

- 가. 입·출력 변수 간의 진리표를 작성한다.
- 나. 입력변수의 수와 출력변수의 수를 정하고 각각에 문자, 기호 등으로 적당한 변수를 결정한다.
- 다. 논리회로를 그린다.
- 라. 입력변수에 대응하는 출력값을 구하고 간략화된 불 함수를 구한다.

- ① 가 → 나 → 다 → 라
 ③ 나 → 가 → 다 → 라
- ② 가 → 나 → 라 → 다
 ④ 나 → 가 → 라 → 다

24. 아래 그림은 2×4 디코더이다. 3×8 디코더를 2×4 디코더를 이용해서 구성한다고 했을 때, 다음 중 가장 올바르게 구성한 것은?(단, E 는 enable 단자이고, H 는 논리 1을 나타낸다.)



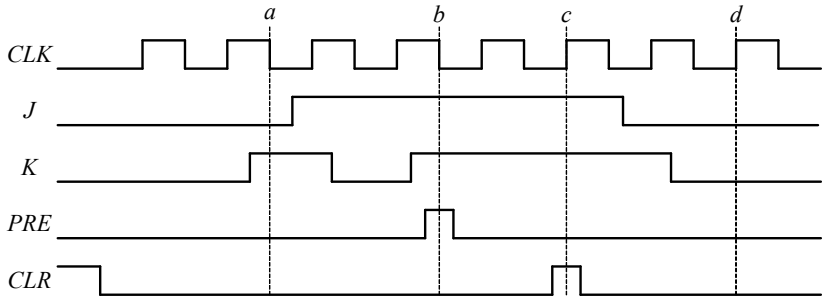
25. JK 플립플롭을 토글(toggle) 상태로 동작시키기 위한 입력 조건으로 알맞은 것은?

- ① $J=0, K=0$
 ③ $J=1, K=0$
- ② $J=0, K=1$
 ④ $J=1, K=1$

26. 4개의 D 플립플롭으로 구성된 존슨 카운터가 가질 수 있는 상태의 개수는?

- ① 4개
 ③ 15개
- ② 8개
 ④ 16개

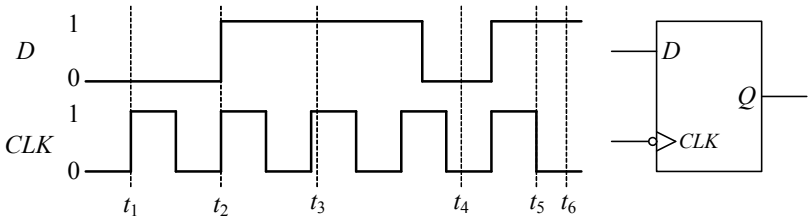
27. 비동기 입력인 preset(PRE)과 clear(CLR)(두 입력 모두 active-high로 가정함)을 갖는 negative-edge triggered JK 플립플롭에 그림과 같은 파형이 인가될 때 a, b, c, d 시점에서 출력값은 어떻게 되는가? (단, JK 플립플롭에서의 지연시간은 없다고 가정한다.)



- ① $a=0, b=1, c=0, d=1$
 ③ $a=1, b=1, c=0, d=1$
- ② $a=0, b=0, c=1, d=0$
 ④ $a=0, b=1, c=0, d=0$

28. 다음에서 설명하는 내용 중 가장 옳은 것은?
- ① D 플립플롭은 negative-edge trigger에 의해서만 활성화된다.
 - ② NAND 게이트로 구성된 SR 래치는 negative-level trigger에 의해서만 활성화 되기 때문에 active-low 회로로 불린다.
 - ③ JK 플립플롭은 기본적인 SR 래치로부터 만들 수 없다.
 - ④ D 플립플롭, JK 플립플롭 그리고 T 플립플롭은 유효하지 않는 출력상태를 갖지 않는다.

29. 다음 D 플립플롭의 D 입력과 CLK 입력에 그림과 같은 파형이 인가된다. $t_1, t_2, t_3, t_4, t_5, t_6$ 시점에서 관찰되는 출력시퀀스는 무엇인가? (단, D 플립플롭의 초기상태는 0으로 가정하고, 지연시간은 없다고 가정한다.)

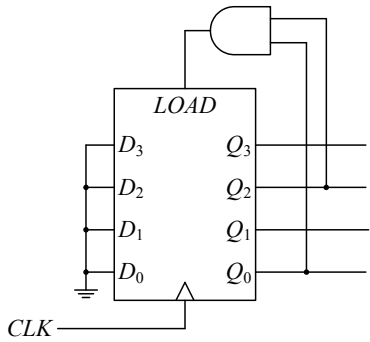


- ① 011001
 - ② 001111
 - ③ 011111
 - ④ 001011
30. 아래의 SR 플립플롭과 JK 플립플롭의 여기표(excitation table)에서 (a), (b)에 알맞은 것은 무엇인가? (단, $Q(t)$ 는 현재상태, $Q(t+1)$ 은 다음상태를 의미한다.)

$Q(t)$	$Q(t+1)$	S	R	J	K
0	0	0	×	0	×
0	1	1	0	1	(b)
1	0	(a)	1	×	1
1	1	×	0	×	0

- ① (a) = 0, (b) = 1
- ② (a) = 1, (b) = 0
- ③ (a) = ×, (b) = 0
- ④ (a) = 0, (b) = ×

31. 다음 동기식 카운터 회로의 동작결과는? (단, Q_0 가 LSB이다.)



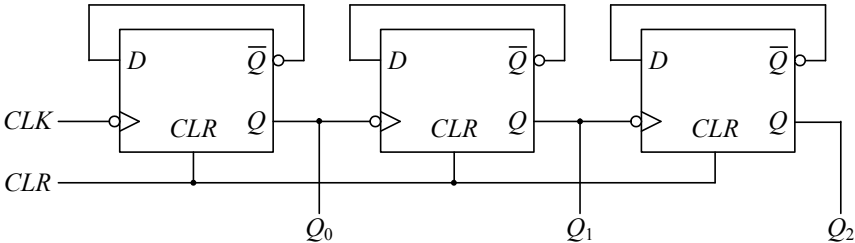
- ① $MOD-4$ 카운터
 - ② $MOD-5$ 카운터
 - ③ $MOD-6$ 카운터
 - ④ $MOD-7$ 카운터
32. 직렬입력/오른쪽 시프트/직렬출력으로 동작하는 8bit 시프트 레지스터의 초기상태의 값은 11000110이다. 초기상태에서 비트 그룹 10101100의 가장 오른쪽 비트부터 직렬로 시프트 레지스터에 입력된다면 초기상태에서 세 클럭 펄스 후에 레지스터의 내용으로 알맞은 것은?
- ① 10000110
 - ② 11000110
 - ③ 10011000
 - ④ 10100110

33. 시프트레지스터의 동작 및 특징을 설명한 내용으로 다음 중 가장 옳지 않은 것은?
- ① 각 단은 플립플롭으로 구성되어 하나의 바이트만을 저장할 수 있다.
 - ② 클럭펄스가 인가됨에 따라 데이터는 다음 단으로 이동할 수 있다.
 - ③ 양방향 시프트레지스터는 데이터를 왼쪽 또는 오른쪽 단으로 이동할 수 있다.
 - ④ 병렬로 출력이 가능한 시프트레지스터도 있다.

34. 레지스터(Register) 및 카운터(Counter)에 대한 설명들이다. 다음 중 가장 옳지 않은 것은?
- ① 레지스터는 플립플롭(Flip-Flop)들의 집합이다.
 - ② 레지스터에서 동기식 전송(Synchronous Transfer)을 할 때는 클럭(Clock)을 활용한다.
 - ③ 일반적으로 레지스터 간의 전송에서 직렬 전송(Serial Transfer)이 병렬 전송(Parallel Transfer)보다 전송 속도가 빠르다.
 - ④ 카운터의 초기치(Initial Value)를 설정하기 위해서 비동기 리셋(Asynchronous Reset) 또는 비동기 프리셋(Asynchronous Preset)이 포함된 플립플롭이나 래치(Latch)를 사용한다.

35. 다음 동기식 카운터에 관한 설명 중 가장 옳지 않은 것은?
- ① 모든 플립플롭에 클럭신호가 동시에 인가된다.
 - ② 리플 카운터(ripple counter)를 구성할 수 있다.
 - ③ 글리치(glitch) 현상이 없다.
 - ④ 비동기식 카운터에 비해 회로가 복잡하다.

36. 다음 회로의 동작 특성 상 명칭은? (단, Q_0 가 LSB이다.)

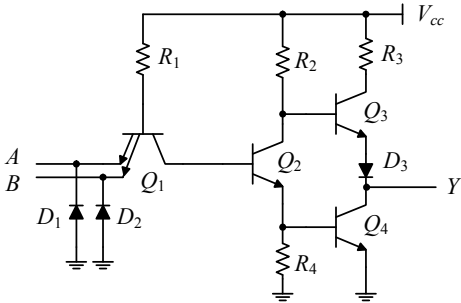


- ① Up counter
 - ② Down counter
 - ③ Shift register
 - ④ Ring counter
37. PLD(Programmable Logic Device)에 대한 설명 중 가장 옳지 않은 것은?
- ① GAL은 퓨즈 대신 안티퓨즈 또는 EEPROM을 사용하여 재 프로그램 가능하다.
 - ② CLB(Configurable Logic Block)는 FPGA(Field Programmable Gate Array)에서 사용된다.
 - ③ 일반적으로 CPLD(Complex Programmable Logic Device)의 집적도가 FPGA에 비해 높다.
 - ④ FPGA는 안티퓨즈 기술을 사용하는 경우에는 비휘발성이 되고, SRAM 기술을 사용하는 경우에는 휘발성이 된다.

38. 5bit 플래시(flash) 아날로그/디지털 변환기(ADC)는 몇 개의 비교기가 필요한가?
- ① 15개
 - ② 16개
 - ③ 31개
 - ④ 32개

39. 어떤 TTL(Transistor-Transistor Logic) 회로의 입력 논리 레벨은 입력전압이 0~0.8V면 Low, 2~5V면 High로 해석된다. 이 TTL 회로에 대한 설명으로 가장 옳은 것은?
- ① 0.8V 이상의 입력전압은 High로 해석된다.
 - ② 2V 이하의 입력전압은 Low로 해석된다.
 - ③ 입력전압이 0.8V~2V이면 논리 회로에 따라 High 또는 Low로 해석될 수 있다.
 - ④ 만약 입력전압이 0~0.4V에서 Low로 해석되도록 이 TTL 회로가 변경되었다면 잡음에 취약하게 된다.

40. 다음은 입력 A, B 와 출력 Y 로 이루어진 TTL(Transistor-Transistor Logic) 게이트 회로이다. 이 TTL 회로가 나타내는 논리 게이트는?



- ① NAND 게이트
- ② AND 게이트
- ③ NOR 게이트
- ④ OR 게이트